

26. 1. 2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

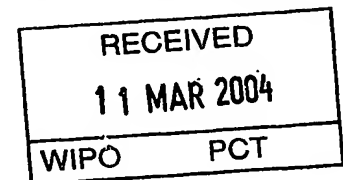
This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 3 年 1 月 2 7 日

出 願 番 号
Application Number: 特 願 2 0 0 3 - 0 1 7 3 7 2

[ST. 10/C]: [J P 2 0 0 3 - 0 1 7 3 7 2]

出 願 人
Applicant(s): 松下電器産業株式会社

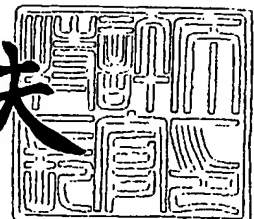


PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2 0 0 4 年 2 月 2 6 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 2892040178

【提出日】 平成15年 1月27日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 15/16

【発明者】

【住所又は居所】 愛媛県温泉郡川内町南方 2 1 3 1 番地 1 松下寿電子工業株式会社内

【氏名】 秋月 麻水子

【発明者】

【住所又は居所】 愛媛県温泉郡川内町南方 2 1 3 1 番地 1 松下寿電子工業株式会社内

【氏名】 青木 透

【発明者】

【住所又は居所】 愛媛県温泉郡川内町南方 2 1 3 1 番地 1 松下寿電子工業株式会社内

【氏名】 上田 泰志

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100097445

【弁理士】

【氏名又は名称】 岩橋 文雄

【選任した代理人】

【識別番号】 100103355

【弁理士】

【氏名又は名称】 坂口 智康

【選任した代理人】

【識別番号】 100109667

【弁理士】

【氏名又は名称】 内藤 浩樹

【手数料の表示】

【予納台帳番号】 011305

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9809938

【書類名】 明細書

【発明の名称】 メモリ制御装置

【特許請求の範囲】

【請求項1】 複数のバンクを有し、バンク分割モードによりそれぞれのバンクにアクセス出来るメモリを制御するメモリ制御装置において、
複数のブロックからの前記メモリにアクセスするためのメモリアクセス要求の調停を行う調停回路と、
前記調停回路からの制御信号に基づき前記メモリへのメモリコマンドを生成するコマンド生成ブロックと、
前記調停回路によってアクセスを許可されたブロックからのメモリアドレスを受け取り、前記メモリに出力するアドレス生成ブロックと、
前記調停回路によってアクセスを許可された前記ブロックからの書き込みデータまたは前記メモリからの読み出しデータをラッチして、アクセスを許可された前記ブロックと前記メモリ間のデータの受け渡しを行うデータラッチブロックとを備え、
前記メモリへのアクセス中のバンクと次のメモリアクセス要求のバンクが同一である場合に、
前記調停回路が前記バンクとは異なるバンクにアクセスするように前記複数のブロックの優先順位を変更することを特徴とするメモリ制御装置。

【請求項2】 前記調停回路は、外部から設定可能なメモリアクセス優先順位変更レジスタを備え、前記メモリアクセス優先順位変更レジスタの値により、前記複数のブロックからの前記メモリに対する優先順位を変更できることを特徴とする請求項1に記載のメモリ制御装置。

【請求項3】 前記調停回路は、外部から設定可能なブロック選択レジスタを備え、前記メモリに対して前記メモリ制御装置がアクセス中のバンクと前記メモリに対して次にアクセスする前記ブロックからのメモリアクセス要求の対象となるバンクが同一である場合は、前記ブロック選択レジスタに設定された優先順位に従って、前記メモリに対して次にアクセスする前記ブロックを選択することができることを特徴とする請求項1に記載のメモリ制御装置。

【請求項 4】 前記メモリは、SDRAMであることを特徴とする請求項 1 に記載のメモリ制御装置。

【請求項 5】 複数のバンクを有し、バンク分割モードによりそれぞれのバンクにアクセス出来るメモリを制御するメモリ制御装置において、
複数のブロックからの前記メモリにアクセスするためのメモリアクセス要求の調停を行う調停回路と、
前記調停回路からの制御信号に基づき前記メモリへのメモリコマンドを生成するコマンド生成ブロックと、
前記調停回路によってアクセスを許可されたブロックからのメモリアドレスを受け取り、前記メモリに出力するアドレス生成ブロックと、
前記調停回路によってアクセスを許可された前記ブロックからの書き込みデータまたは前記メモリからの読み出しデータをラッチして、アクセスを許可された前記ブロックと前記メモリ間のデータの受け渡しを行うデータラッチブロックとを備え、
アクセスデータ単位が、前記メモリの同じバンクに所定のバイト数のアクセスを行うバンクアクセスデータと、互いにバンクの異なる二個の前記バンクアクセスデータからなるブロックアクセスデータであるとき、
前記複数のブロックが前記ブロックアクセスデータ単位でメモリアクセス要求をした時、前記メモリへのアクセス中のバンクと次のメモリアクセス要求のバンクが同一である場合には、
前記調停回路が前記ブロックアクセスデータ内のバンクアクセスデータの順序を入れ替えることを特徴とするメモリ制御装置。

【請求項 6】 前記調停回路は、外部から設定可能なメモリアクセス優先順位変更レジスタを備え、前記メモリアクセス優先順位変更レジスタの値により、前記複数のブロックからの前記メモリに対する優先順位を変更できることを特徴とする請求項 5 に記載のメモリ制御装置。

【請求項 7】 前記メモリは、SDRAMであることを特徴とする請求項 5 に記載のメモリ制御装置。

【請求項 8】 前記メモリに対して次にアクセスする前記ブロックアクセスデ

ータの前半部分が格納されているバンクと、前記メモリ制御装置がアクセス中のバンクが同一である場合、前記ブロックアクセスデータ内の前記バンクアクセスデータの順序を入れ替えて前記メモリから前記ブロックアクセスデータを読み出して前記データラッチブロックに格納するとともに格納した前記バンクアクセスデータを前記メモリから読み出した順序と逆の順序で、メモリアccessを行った前記ブロックに対して前記データラッチブロックが転送することを特徴とする請求項5に記載のメモリ制御装置。

【請求項9】 複数のバンクを有し、バンク分割モードによりそれぞれのバンクにアクセス出来るメモリを制御するメモリ制御装置において、
複数のブロックからの前記メモリにアクセスするためのメモリアccess要求の調停を行う調停回路と、
前記調停回路からの制御信号に基づき前記メモリへのメモリコマンドを生成するコマンド生成ブロックと、
前記調停回路によってアクセスを許可されたブロックからのメモリアドレスを受け取り、前記メモリに出力するアドレス生成ブロックと、
前記調停回路によってアクセスを許可された前記ブロックからの書き込みデータまたは前記メモリからの読み出しデータをラッチして、アクセスを許可された前記ブロックと前記メモリ間のデータの受け渡しを行うデータラッチブロックとを備え、
前記複数のブロックからのアクセスデータ単位が、前記メモリの同じバンクに所定のバイト数のアクセスを行うバンクアクセスデータと、互いにバンクの異なる二個の前記バンクアクセスデータからなるブロックアクセスデータであるとき、前記ブロックからのメモリアccess要求が前記バンクアクセスデータ単位の場合には、前記調停回路が前記バンクアクセスデータ1つ分の待ちサイクルを設けるように前記コマンド生成ブロックに指示することを特徴とするメモリ制御装置。

【請求項10】 前記調停回路は、外部から設定可能なメモリアccess優先順位変更レジスタを備え、前記メモリアccess優先順位変更レジスタの値により、前記複数のブロックからの前記メモリに対する優先順位を変更できることを特徴とする請求項9に記載のメモリ制御装置。

【請求項 11】 前記調停回路は、外部から設定可能なウェイトサイクル変更レジスタを備え、前記ウェイトサイクル変更レジスタの値により、前記コマンド生成ブロックで挿入する待ちサイクル数を変更できることを特徴とする請求項 9 に記載のメモリ制御装置。

【請求項 12】 前記メモリは、SDRAMであることを特徴とする請求項 9 に記載のメモリ制御装置。

【請求項 13】 複数のバンクを有し、バンク分割モードによりそれぞれのバンクにアクセス出来るメモリを制御するメモリ制御装置において、複数のブロックからの前記メモリにアクセスするためのメモリアクセス要求の調停を行う調停回路と、前記調停回路からの制御信号に基づき前記メモリへのメモリコマンドを生成するコマンド生成ブロックと、前記調停回路によってアクセスを許可されたブロックからのメモリアドレスを受け取り、前記メモリに出力するアドレス生成ブロックと、前記調停回路によってアクセスを許可された前記ブロックからの書き込みデータまたは前記メモリからの読み出しデータをラッチして、アクセスを許可された前記ブロックと前記メモリ間のデータの受け渡しを行うデータラッチブロックとを備え、前記メモリに対して前記メモリ制御装置がリードアクセス中の場合は、前記調停回路が連続してリードアクセスが行われるように前記複数のブロックのメモリアクセス要求の優先順位を変更することを特徴とするメモリ制御装置。

【請求項 14】 前記調停回路は、外部から設定可能なメモリアクセス優先順位変更レジスタを備え、前記メモリアクセス優先順位変更レジスタの値により、前記複数のブロックからの前記メモリに対する優先順位を変更できることを特徴とする請求項 13 に記載のメモリ制御装置。

【請求項 15】 前記調停回路は、外部から設定可能なブロック選択レジスタを備え、前記メモリに対して前記メモリ制御装置がアクセス中のバンクと前記メモリに対して次にアクセスする前記ブロックからのメモリアクセス要求の対象となるバンクが同一である場合は、前記ブロック選択レジスタに設定された優先順

位に従って、前記メモリに対して次にアクセスする前記ブロックを選択することができることを特徴とする請求項 13 に記載のメモリ制御装置。

【請求項 16】 前記メモリは、SDRAMであることを特徴とする請求項 13 に記載のメモリ制御装置。

【請求項 17】 複数のバンクを有し、バンク分割モードによりそれぞれのバンクにアクセス出来るメモリを制御するメモリ制御装置において、前記メモリの内部データを保持するために一定間隔でリフレッシュ動作を要求するリフレッシュ要求ブロックと、複数のブロックからの前記メモリにアクセスするためのメモリアクセス要求と前記リフレッシュ要求ブロックからのリフレッシュ要求の調停を行う調停回路と、前記調停回路からの制御信号に基づき前記メモリへのメモリコマンドを生成するコマンド生成ブロックと、前記調停回路によってアクセスを許可されたブロックからのメモリアドレスを受け取り、前記メモリに出力するアドレス生成ブロックと、前記調停回路によってアクセスを許可された前記ブロックからの書き込みデータまたは前記メモリからの読み出しデータをラッチして、アクセスを許可された前記ブロックと前記メモリ間のデータの受け渡しを行うデータラッチブロックとを備え、前記リフレッシュ要求ブロックからリフレッシュ要求信号が出力された場合に、前記調停回路がリードアクセスの後にリフレッシュ動作を行うように前記複数のブロックのメモリアクセス要求と前記リフレッシュ要求とを調停することを特徴とするメモリ制御装置。

【請求項 18】 前記調停回路は、外部から設定可能なメモリアクセス優先順位変更レジスタを備え、前記メモリアクセス優先順位変更レジスタの値により、前記複数のブロックからの前記メモリに対する優先順位を変更できることを特徴とする請求項 17 に記載のメモリ制御装置。

【請求項 19】 前記調停回路は、外部から設定可能なブロック選択レジスタを備え、前記メモリに対して前記メモリ制御装置がアクセス中のバンクと前記メモリに対して次にアクセスする前記ブロックからのメモリアクセス要求の対象と

なるバンクが同一である場合は、前記ブロック選択レジスタに設定された優先順位に従って、前記メモリに対して次にアクセスする前記ブロックを選択することができることを特徴とする請求項 17 に記載のメモリ制御装置。

【請求項 20】 前記メモリは、SDRAMであることを特徴とする請求項 17 に記載のメモリ制御装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電子機器における複数のバンクで構成されるメモリを制御するメモリ制御装置に関するものである。

【0002】

【従来の技術】 近年、パソコンで頻繁に使われるキャッシュメモリのバースト転送をクロックに同期して高速に行えるようにしたシンクロナスダイナミックランダムアクセスメモリ（以下、SDRAMと略す。）が使用されつつある。このSDRAMは、バンク分割モードによる連続アクセスモードとランダムアクセスモードとの切り替えが可能である。バンク分割モードでは4つのメモリ領域として、2ビットのバンク信号が「00」であるバンク0、「01」であるバンク1、「10」であるバンク2、「11」であるバンク3とを持ち、このバンク0、バンク1、バンク2及びバンク3をクロック制御により切り替えながらアクセスし、最初にアクセスしたバンクからデータの読み出しを行っている間に次のバンクのアドレスの取り込みを行うことが可能となっている。

【0003】

このSDRAMを制御するメモリ制御装置801は、図8に示すように、メモリ制御手段802と調停・Wait信号発生部803とで構成され、複数のブロック804、805、806、807からSDRAM808へのアクセスを制御しているものがある（例えば、特許文献1参照。）。

【0004】

複数のブロック804、805、806、807から、それぞれメモリアドレス信号（MADR）とデータ信号（DATA）と読み出し／書き込み制御信号（

R D / W R) とが、それぞれのブロックに対応するメモリ制御部 809, 810, 811, 812 に入力される。複数のブロック 809, 810, 811, 812 からのメモリアクセス要求信号 (C S) が調停・W a i t 信号発生部 803 に入力され、この調停・W a i t 信号発生部 803 から複数のブロック 809, 810, 811, 812 に待ち信号 (W a i t) が返信される。調停・W a i t 信号発生部 803 からメモリアクセス許可信号 (E n a b l e) を受けたブロックに対応するメモリ制御部は、許可されたブロックの S D R A M 808 へのアクセスを制御する。このメモリ制御装置 801 を用いた S D R A M 808 のリードアクセスタイミングの一例を説明する。なおここでは、この S D R A M 808 をバンク分割モードで動作させている。

【0005】

ブロックからのメモリアドレスのビット 10 とビット 3 を S D R A M のバンク信号に対応づけて「00」であればバンク 0 を、「01」であればバンク 1 を、「10」であればバンク 2 を、「11」であればバンク 3 を選択する。図 9 に示すように、クロック (図 9 (A)) に従って、複数のブロックのロウアドレス (R 0, R 1, R 2, R 3) とカラムアドレス (C 0, C 1, C 2, C 3) を切り替えながら S D R A M 808 にメモリコマンド (図 9 (B)) とメモリアドレス (図 9 (C)) を出力する。バンク 0 から読み出されたデータ (図 9 (D)) D 00, D 01 は、バンク 0 に対するリードコマンド 901 が入力されてから 3 クロック後に出力される。D 01 は D 00 に続くアドレスのデータであり、1つのアドレス入力で 2 ワードのデータが出力できることを意味している。1ワード分のみ必要な場合は D 01 は不要であり、メモリアクセスを行ったブロックに転送しない。データが出力されるまでのクロック数は「C A S レイテンシ」と呼ばれる S D R A M 808 に備えられているモード設定で変更することができる。また、1つのアドレス入力で扱えるデータ数は「バースト長」と呼ばれるモード設定で変更することができる。例では、「C A S レイテンシ」を” 3 ”、「バースト長」を” 2 ”としている。

【0006】

各バンクのプリチャージは、最終データ、すなわち 2 ワード出力のときはデー

タD01の出力タイミングで自動的に実行される。バンク1, バンク2, バンク3に関しても同様である。このようにSDRAM808のバンク0, バンク1, バンク2, バンク3へのアクセスを切り替えながら行うことによって隙間なく連続してアクセスしている。

【0007】

【特許文献1】

特開平8-212170号公報 (第3-4頁、第1図)

【0008】

【発明が解決しようとする課題】

しかしながら、従来のメモリ制御装置ではバンク分割モードのSDRAM808に単一ブロックがアクセスする場合に、同一のバンク（例えば、バンク1とする。）に連続してアクセスするようなメモリアドレスが出力されるとバンク1へのアクセスが続いてしまう。このとき、バンク1に対するプリチャージ動作が終了するまではバンク1にアドレスを出力することができず、SDRAM808にアクセスできない無駄なサイクルが生じてしまうという問題がある。

【0009】

そこで、単一ブロックがSDRAM808にアクセスする場合には、単一ブロック側で同じバンクに連続してアクセスしないようにメモリアドレスを生成することで前記の問題を解決することが考えられる。しかしながら、複数のブロックがSDRAM808にアクセスする場合には、複数のブロックからのメモリアクセス時のバンクを相互に制御することは極めて難しいため、同一バンクに連続してアクセスする可能性が生じる。

【0010】

例えば、ブロック804がバンク1をアクセスした直後に、ブロック805がバンク1にアクセスしようとしたとき、同一バンクへのアクセスが続いてしまう。このときバンク1に対するプリチャージ動作が終了するまでは、バンク1にアドレスを出力することができない。即ち、SDRAM808にアクセスできない無駄なサイクルが生じてしまう。

【0011】

さらに、従来のメモリ制御装置 801 では、SDRAM 808 からデータを読み出すリードアクセスの後、SDRAM 808 へデータを書き込むライトアクセスを行う場合、SDRAM 808 の仕様により SDRAM 808 にアクセスできない無駄なサイクルが生じてしまう。そのため、複数のブロック 804, 805, 806, 807 からリードアクセス要求の後にライトアクセス要求が続く場合は、ライトアクセスが連続して行われる場合やリードアクセスが連続して行われる場合に比べ、SDRAM 808 にアクセスするサイクル数が多くなってしまいうという問題がある。

【0012】

また、SDRAM 808 は内部データを保持するため一定時間毎にリフレッシュ動作を実行しなければならない、複数のブロック 804, 805, 806, 807 からのメモリアクセスの間でリフレッシュ動作を実行する。複数のブロック 804, 805, 806, 807 からのライトアクセス要求の後にリフレッシュ動作が実行されると SDRAM 808 の仕様により無駄なサイクルが生じてしまう場合がある。

【0013】

本発明は、SDRAM 808 の同一のバンクに連続してアクセスしないようメモリアクセスの優先順位を変更することにより処理時間を向上させたメモリ制御装置を提供することと、

リードアクセスの後にライトアクセスが連続しないようメモリアクセスの優先順位を変更することによりメモリアクセスサイクル数を少なくしたメモリ制御装置を提供することと、

ライトアクセス要求の後にリフレッシュ動作が連続しないようメモリアクセスの優先順位を変更することによりメモリアクセスサイクル数を少なくしたメモリ制御装置を提供することを目的とする。

【0014】

【課題を解決するための手段】

前記課題を解決するために、本発明のメモリ制御装置は、複数のブロックからのメモリアクセスを調停する調停回路で、前記メモリ制御装置がアクセス中のバ

ンクとメモリに対して次にアクセスするブロックからのメモリアクセス要求の対象となるバンクが同一である場合に、異なるバンクに対するメモリアクセス要求を出力しているブロックの優先順位を繰り上げることにより、異なるバンクに連続してアクセスできるようにすることを特徴とする。

【0015】

また、前記メモリ制御装置がアクセス中のバンクとメモリに対して次にアクセスするブロックからのメモリアクセス要求の対象となるバンクが同一である場合に、ブロックアクセスデータ単位でメモリアクセス要求を行う場合は、前記調停回路がバンクアクセスデータの順序を入れ替えて、異なるバンクに連続してアクセスできるようにすることを特徴とする。

【0016】

また、前記メモリに対して次にアクセスする前記ブロックアクセスデータの前半部分が格納されているバンクと、前記メモリ制御装置がアクセス中のバンクが同一である場合に、前記ブロックアクセスデータ内の前記バンクアクセスデータの順序を入れ替えて前記メモリから前記ブロックアクセスデータを読み出して前記データラッチブロックに格納するとともに格納した前記バンクアクセスデータを前記メモリから読み出した順序と逆の順序で、メモリアクセスを行った前記ブロックに対して前記データラッチブロックが転送することを特徴とする。

【0017】

また、バンクアクセスデータ単位でメモリアクセス要求が行われるブロックからのメモリアクセス要求を前記調停回路が許可した場合に、前記コマンド生成ブロックでバンクアクセスデータ1つ分の待ちサイクルを設けることを特徴とする。

【0018】

また、前記メモリ制御装置が前記メモリに対しメモリリードアクセス中で、前記ブロックからメモリライトアクセス要求が出力される場合に、前記調停回路が他のブロックからのメモリリードアクセス要求を受け付け、前記メモリにアクセスする優先順位を変更することにより、リードアクセスの後のライトアクセスの優先順位を低くすることを特徴とする。

【0019】

また、前記メモリ制御装置がメモリライトアクセス中で、リフレッシュ要求ブロックからリフレッシュ要求が出力される場合に、前記調停回路が他のブロックからのメモリリードアクセス要求を受け付け、前記メモリにアクセスする優先順位を変更することにより、ライトアクセスの後のリフレッシュ動作の優先順位を低くすることを特徴としたものである。

【0020】

本発明によれば、前記メモリにアクセスできない無駄なサイクルが生じることを解消して、処理時間を向上させることができ、また、メモリアドレスを生成する前記複数のブロックは、前記メモリ制御装置がアクセス中のバンクを意識することなくメモリアドレスを生成することができるメモリ制御装置を提供することができる。

【0021】

【発明の実施の形態】

本発明の請求項1に記載の発明は、複数のバンクを有し、バンク分割モードによりそれぞれのバンクにアクセス出来るメモリを制御するメモリ制御装置において、複数のブロックからの前記メモリにアクセスするためのメモリアクセス要求の調停を行う調停回路と、前記調停回路からの制御信号に基づき前記メモリへのメモリコマンドを生成するコマンド生成ブロックと、前記調停回路によってアクセスを許可されたブロックからのメモリアドレスを受け取り、前記メモリに出力するアドレス生成ブロックと、前記調停回路によってアクセスを許可された前記ブロックからの書き込みデータまたは前記メモリからの読み出しデータをラッチして、アクセスを許可された前記ブロックと前記メモリ間のデータの受け渡しを行うデータラッチブロックとを備え、前記メモリへのアクセス中のバンクと次のメモリアクセス要求のバンクが同一である場合に、前記調停回路が前記バンクとは異なるバンクにアクセスするように前記複数のブロックの優先順位を変更することを特徴とするメモリ制御装置であり、
前記メモリに対して前記メモリ制御装置がアクセス中のバンクと前記メモリに対して次にアクセスする前記ブロックからのメモリアクセス要求の対象となるバン

クが同一である場合は、前記調停回路が異なるバンクに対するメモリアクセス要求を出力している前記ブロックの優先順位をあげて、異なるバンクに連続してアクセスできるようにすることにより、前記メモリにアクセスできない無駄なサイクルが生じることを解消して、処理時間を向上させることができる。また、メモリアドレスを生成する複数のブロックは、前記メモリ制御装置がアクセス中のバンクを意識することなくメモリアドレスを生成することができる。

【0022】

請求項2に記載の発明は、請求項1に記載のメモリ制御装置において、前記調停回路が外部から設定可能なメモリアクセス優先順位変更レジスタを備え、前記メモリアクセス優先順位変更レジスタの値により、前記複数のブロックからの前記メモリに対する優先順位を変更できるような手段を備えたメモリ制御装置であり、前記複数のブロックから出力されるメモリアクセスが同一バンクに対して連続しないように制御することが可能である。

【0023】

請求項3に記載の発明は、請求項1に記載のメモリ制御装置において、前記調停回路が外部から設定可能なブロック選択レジスタを備え、前記メモリに対して前記メモリ制御装置がアクセス中のバンクと前記メモリに次にアクセスする前記ブロックからのメモリアクセス要求の対象となるバンクが同一である場合は、前記ブロック選択レジスタに設定された優先順位に従って、前記メモリに対して次にアクセスする前記ブロックを選択することができるような手段を備えたメモリ制御装置であり、前記複数のブロックから出力されるメモリアクセスが同一バンクに対して連続しないように制御することが可能である。

【0024】

請求項4に記載の発明は、請求項1に記載のメモリ制御装置において、前記メモリがSDRAMであることを特徴とする。

【0025】

請求項5に記載の発明は、複数のバンクを有し、バンク分割モードによりそれぞれのバンクにアクセス出来るメモリを制御するメモリ制御装置において、複数のブロックからの前記メモリにアクセスするためのメモリアクセス要求の調

停を行う調停回路と、前記調停回路からの制御信号に基づき前記メモリへのメモリコマンドを生成するコマンド生成ブロックと、前記調停回路によってアクセスを許可されたブロックからのメモリアドレスを受け取り、前記メモリに出力するアドレス生成ブロックと、前記調停回路によってアクセスを許可された前記ブロックからの書き込みデータまたは前記メモリからの読み出しデータをラッチして、アクセスを許可された前記ブロックと前記メモリ間のデータの受け渡しを行うデータラッチブロックとを備え、アクセスデータ単位が、前記メモリの同じバンクに所定のバイト数のアクセスを行うバンクアクセスデータと、互いにバンクの異なる二個の前記バンクアクセスデータからなるブロックアクセスデータであるとき、前記複数のブロックが前記ブロックアクセスデータ単位でメモリアクセス要求をした時、前記メモリへのアクセス中のバンクと次のメモリアクセス要求のバンクが同一である場合には、前記調停回路が前記ブロックアクセスデータ内のバンクアクセスデータの順序を入れ替えることを特徴とするメモリ制御装置であり、

前記メモリに対して前記メモリ制御装置がアクセス中のバンクと前記メモリに対して次にアクセスする前記ブロックからのメモリアクセス要求の対象となるバンクが同一である場合は、前記調停回路がバンクアクセスデータの順序を入れ替えて、異なるバンクに連続してアクセスできるようにすることにより、前記メモリにアクセスできない無駄なサイクルが生じることを解消して、処理時間を向上させることができる。また、メモリアドレスを生成する前記複数のブロックは、前記メモリ制御装置がアクセス中のバンクを意識することなくメモリアドレスを生成することができる。

【0026】

請求項6に記載の発明は、請求項5に記載のメモリ制御装置において、前記調停回路が外部から設定可能なメモリアクセス優先順位変更レジスタを備え、前記メモリアクセス優先順位変更レジスタの値により、前記複数のブロックからの前記メモリに対する優先順位を変更できるような手段を備えたメモリ制御装置であり、前記複数のブロックから出力されるメモリアクセスが同一バンクに対して連続しないように制御することが可能である。

【0027】

請求項7に記載の発明は、請求項5に記載のメモリ制御装置において、前記メモリがSDRAMであることを特徴とする。

【0028】

請求項8に記載の発明は、請求項5に記載のメモリ制御装置において、前記メモリに対して次にアクセスする前記ブロックアクセスデータの前半部分が格納されているバンクと、前記メモリ制御装置がアクセス中のバンクが同一である場合、前記ブロックアクセスデータ内の前記バンクアクセスデータの順序を入れ替えて前記メモリから前記ブロックアクセスデータを読み出して前記データラッチブロックに格納するとともに格納した前記バンクアクセスデータを前記メモリから読み出した順序と逆の順序で、メモリアクセスを行った前記ブロックに対して前記データラッチブロックが転送するメモリ制御装置であり、前記メモリから読み出した前記ブロックアクセスデータを前記ブロックから要求があったメモリアクセス順に出力することにより、前記ブロックはバンクを意識することなく前記メモリから読み出したブロックアクセスデータを受け取ることが可能である。

【0029】

請求項9に記載の発明は、複数のバンクを有し、バンク分割モードによりそれぞれのバンクにアクセス出来るメモリを制御するメモリ制御装置において、複数のブロックからの前記メモリにアクセスするためのメモリアクセス要求の調停を行う調停回路と、前記調停回路からの制御信号に基づき前記メモリへのメモリコマンドを生成するコマンド生成ブロックと、前記調停回路によってアクセスを許可されたブロックからのメモリアドレスを受け取り、前記メモリに出力するアドレス生成ブロックと、前記調停回路によってアクセスを許可された前記ブロックからの書き込みデータまたは前記メモリからの読み出しデータをラッチして、アクセスを許可された前記ブロックと前記メモリ間のデータの受け渡しを行うデータラッチブロックとを備え、前記複数のブロックからのアクセスデータ単位が、前記メモリの同じバンクに所定のバイト数のアクセスを行うバンクアクセスデータと、互いにバンクの異なる二個の前記バンクアクセスデータからなるプロ

ックアクセスデータであるとき、前記ブロックからのメモリアクセス要求が前記バンクアクセスデータ単位の場合には、前記調停回路が前記バンクアクセスデータ 1 つ分の待ちサイクルを設けるように前記コマンド生成ブロックに指示することを特徴とするメモリ制御装置であり、

前記バンクアクセスデータ単位でメモリアクセス要求が行われる前記ブロックからのメモリアクセス要求を前記調停回路が許可した場合は、前記コマンド生成ブロックで前記バンクアクセスデータ 1 つ分の待ちサイクルを設けることにより、1 回前のメモリアクセスのバンクの影響を受けずメモリアクセスを実現することができ、かつ、バンクアクセスデータ単位でメモリアクセスを行うために必要な回路を削減することができる。

【0030】

請求項 10 に記載の発明は、請求項 9 に記載のメモリ制御装置において、前記調停回路が外部から設定可能なメモリアクセス優先順位変更レジスタを備え、前記メモリアクセス優先順位変更レジスタの値により、前記複数のブロックからの前記メモリに対する優先順位を変更できるような手段を備えたメモリ制御装置であり、前記複数のブロックから出力されるメモリアクセスが同一バンクに対して連続しないように制御することが可能である。

【0031】

請求項 11 に記載の発明は、請求項 9 に記載のメモリ制御装置において、前記調停回路が外部から設定可能なウェイトサイクル変更レジスタを備え、前記ウェイトサイクル変更レジスタの値により、前記コマンド生成ブロックで挿入する待ちサイクル数を変更できるような手段を備えたメモリ制御装置であり、1 回前のメモリアクセスのバンクの影響を受けずメモリアクセスを実現することができ、かつ、バンクアクセスデータ単位でメモリアクセスを行うために必要な回路を削減することができる。

【0032】

請求項 12 に記載の発明は、請求項 9 に記載のメモリ制御装置において、前記メモリが SDRAM であることを特徴とする。

【0033】

請求項 13 に記載の発明は、複数のバンクを有し、バンク分割モードによりそれぞれのバンクにアクセス出来るメモリを制御するメモリ制御装置において、複数のブロックからの前記メモリにアクセスするためのメモリアクセス要求の調停を行う調停回路と、前記調停回路からの制御信号に基づき前記メモリへのメモリコマンドを生成するコマンド生成ブロックと、前記調停回路によってアクセスを許可されたブロックからのメモリアドレスを受け取り、前記メモリに出力するアドレス生成ブロックと、前記調停回路によってアクセスを許可された前記ブロックからの書き込みデータまたは前記メモリからの読み出しデータをラッチして、アクセスを許可された前記ブロックと前記メモリ間のデータの受け渡しを行うデータラッチブロックとを備え、前記メモリに対して前記メモリ制御装置がリードアクセス中の場合は、前記調停回路が連続してリードアクセスが行われるように前記複数のブロックのメモリアクセス要求の優先順位を変更することを特徴とするメモリ制御装置であり、

前記メモリ制御装置が前記メモリに対しメモリリードアクセス中で、前記ブロックからメモリライトアクセス要求が出力される場合は、前記調停回路が他のブロックからのメモリリードアクセス要求を受け付けるように、前記メモリにアクセスする優先順位を変更することにより、リードアクセスの後のライトアクセスの優先順位を低くして、前記メモリにアクセスできない無駄なサイクルが生じることを解消することにより処理時間を向上させることができる。

【0034】

請求項 14 に記載の発明は、請求項 13 に記載のメモリ制御装置において、前記調停回路が外部から設定可能なメモリアクセス優先順位変更レジスタを備え、前記メモリアクセス優先順位変更レジスタの値により、前記複数のブロックからの前記メモリに対する優先順位を変更できるような手段を備えたメモリ制御装置であり、前記複数のブロックから出力されるメモリアクセスが同一バンクに対して連続しないように制御することが可能である。

【0035】

請求項 15 に記載の発明は、請求項 13 に記載のメモリ制御装置において、前記調停回路が外部から設定可能なブロック選択レジスタを備え、前記メモリに対

して前記メモリ制御装置がアクセス中のバンクと前記メモリに次にアクセスする前記ブロックからのメモリアクセス要求の対象となるバンクが同一である場合は、前記ブロック選択レジスタに設定された優先順位に従って、前記メモリに対して次にアクセスする前記ブロックを選択することができるような手段を備えたメモリ制御装置であり、前記複数のブロックから出力されるメモリアクセスが同一バンクに対して連続しないように制御することが可能である。

【0036】

請求項16に記載の発明は、請求項13に記載のメモリ制御装置において、前記メモリがSDRAMであることを特徴とする。

【0037】

請求項17に記載の発明は、複数のバンクを有し、バンク分割モードによりそれぞれのバンクにアクセス出来るメモリを制御するメモリ制御装置において、前記メモリの内部データを保持するために一定間隔でリフレッシュ動作を要求するリフレッシュ要求ブロックと、複数のブロックからの前記メモリにアクセスするためのメモリアクセス要求と前記リフレッシュ要求ブロックからのリフレッシュ要求の調停を行う調停回路と、前記調停回路からの制御信号に基づき前記メモリへのメモリコマンドを生成するコマンド生成ブロックと、前記調停回路によってアクセスを許可されたブロックからのメモリアドレスを受け取り、前記メモリに出力するアドレス生成ブロックと、前記調停回路によってアクセスを許可された前記ブロックからの書き込みデータまたは前記メモリからの読み出しデータをラッチして、アクセスを許可された前記ブロックと前記メモリ間のデータの受け渡しを行うデータラッチブロックとを備え、前記リフレッシュ要求ブロックからリフレッシュ要求信号が出力された場合に、前記調停回路がリードアクセスの後にリフレッシュ動作を行うように前記複数のブロックのメモリアクセス要求と前記リフレッシュ要求とを調停することを特徴とするメモリ制御装置であり、前記メモリ制御装置がメモリライトアクセス中で、リフレッシュ要求ブロックからリフレッシュ要求が出力される場合は、前記調停回路が他のブロックからのメモリリードアクセス要求を受け付けるように、ライトアクセスの後のリフレッシュ動作の優先順位を低くして、前記メモリにアクセスできない無駄なサイクルが

生じることを解消することにより処理時間を向上させることができる。

【0038】

請求項18に記載の発明は、請求項17に記載のメモリ制御装置において、前記調停回路が外部から設定可能なメモリアクセス優先順位変更レジスタを備え、前記メモリアクセス優先順位変更レジスタの値により、前記複数のブロックからの前記メモリに対する優先順位を変更できるような手段を備えたメモリ制御装置であり、前記複数のブロックから出力されるメモリアクセスが同一バンクに対して連続しないように制御することが可能である。

【0039】

請求項19に記載の発明は、請求項17に記載のメモリ制御装置において、前記調停回路が外部から設定可能なブロック選択レジスタを備え、前記メモリに対して前記メモリ制御装置がアクセス中のバンクと前記メモリに次にアクセスする前記ブロックからのメモリアクセス要求の対象となるバンクが同一である場合は、前記ブロック選択レジスタに設定された優先順位に従って、前記メモリに対して次にアクセスする前記ブロックを選択することができるとする手段を備えたメモリ制御装置であり、前記複数のブロックから出力されるメモリアクセスが同一バンクに対して連続しないように制御することが可能である。

【0040】

請求項20に記載の発明は、請求項17に記載のメモリ制御装置において、前記メモリがSDRAMであることを特徴とする。

【0041】

(実施の形態1)

以下に、本発明の請求項1及び請求項2及び請求項3及び請求項4に記載された発明の実施の形態について、図1及び図2を用いて説明する。図1は、実施の形態1におけるメモリ制御装置を示すブロック図、図2は、図1の主要な信号のタイミングチャートである。

【0042】

このメモリ制御装置105は、図1に示すようにSDRAM808にアクセスする複数のブロック804、805、806からのメモリアクセス要求の調停を

行う調停回路101と、

SDRAM808へのメモリコマンドを生成するコマンド生成ブロック102と、

前記調停回路101によってアクセスを許可された前記ブロックからのメモリアドレスを受け取り、SDRAM808に出力するアドレス生成ブロック103と、

前記調停回路101によってアクセスを許可された前記ブロックからの書き込みデータまたはSDRAM808からの読み出しデータをラッチし、アクセスを許可された前記ブロックとSDRAM808とのデータの受け渡しを行うデータラッチブロック104とで構成される。

【0043】

図2において、

(A) はSDRAM808が動作するクロック、

(B) はブロック804から出力される調停回路101へのメモリリクエスト、

(C) は調停回路101から返信されるブロック804へのメモリアクセス許可信号、

(D) はブロック805から出力される調停回路101へのメモリリクエスト、

(E) は調停回路101から返信されるブロック805へのメモリアクセス許可信号、

(F) はブロック806から出力される調停回路101へのメモリリクエスト、

(G) は調停回路101から返信されるブロック806へのメモリアクセス許可信号、

(H) はメモリ制御装置105がSDRAM808に対し実行しているメモリアクセス、

(I) はSDRAM808から読み出したリードデータ、

201はメモリ制御装置105がアクセス中のバンク1へのメモリリードアクセス、

202はブロック805のバンク2へのメモリリードアクセス、

203はブロック804のバンク1へのメモリリードアクセス、

204はブロック806のバンク0へのメモリリードアクセスである。

【0044】

なお、ブロック804, 805, 806としては、CPUや誤り訂正ブロックなどがあり、例えば、ホストコンピュータとマイクロコンピュータ間のデータ転送をSDRAM808を介して実行したり、誤り訂正ブロックで誤ったデータを訂正したりする。また、ブロック804, 805, 806からのメモリアクセス要求はSDRAM808の同じバンクに対して、書き込みまたは読み出しデータが8バイトのバンクアクセスデータ単位で行われる。

【0045】

以下、SDRAM808に備えられているモード設定を「CASレテンシ」＝”3”、「バースト長」＝”2”と設定し、SDRAM808に対する優先順位をブロック804, 805, 806の順に優先順位が高いとして、ブロック804がバンク分割モードのSDRAM808からデータをリード（読み出し）する場合のメモリ制御装置105の動作について説明する。ブロック804がSDRAM808にアクセスする場合には、メモリ制御装置105を介して、メモリアドレス、データ、制御信号の受け渡しを行う。ブロック804から調停回路101にメモリリクエスト（図2（B））が出力されると、SDRAM808にメモリリクエストを出力しているブロックが他に存在しなければ調停回路101がブロック804に対しメモリアクセス許可信号（図2（C））を返信し、ブロック804の前記メモリリクエストと同時に他のブロック（ブロック805またはブロック806）がメモリリクエスト（図2（D）,（F））を出力している場合には、SDRAM808にアクセスする優先順位に従って優先順位の高いブロックに対しメモリアクセス許可信号を返信する。

【0046】

メモリ制御装置105がSDRAM808のバンク1に対しアクセス中（図2（H）201）で、ブロック804からSDRAM808のバンク1へのメモリリードリクエスト（図2（B））が出力され、それと同時にブロック805からバンク2へのメモリリードリクエスト（図2（D））と、ブロック806からバンク0へのメモリリードリクエスト（図2（F））が出力されているとする。ブ

ロック 804 からの SDRAM 808 のバンク 1 へのメモリリードリクエスト (図 2 (B)) が出力されると、調停回路 101 はメモリ制御装置 105 がアクセス中のバンク 1 へのメモリリードアクセス (図 2 (H) 201) と同一のバンクへのメモリアクセス要求であると判断し、ブロック 805 から出力されているバンク 2 へのメモリリードリクエスト (図 2 (D)) と優先順位を入れ替えて、ブロック 805 にメモリアクセス許可信号 (図 2 (E)) を返信する (優先順位変更処理)。

【0047】

調停回路 101 は、メモリアクセスを許可したブロック 805 から出力されるメモリアドレスを取り込むようアドレス生成ブロック 103 に指示すると共に、RAS (Row Address Strobe), CAS (Column Address Strobe) などのメモリコマンドを生成するようコマンド生成ブロック 102 に指示する。また、同時に、SDRAM 808 から読み出したデータを取り込み、ブロック 805 に出力するようデータラッチブロック 104 に指示する。アドレス生成ブロック 103 は、アクセスを許可されたブロック 805 からのメモリアドレスを受け取り、SDRAM 808 に出力し、コマンド生成ブロック 102 は前記メモリコマンドを SDRAM 808 に出力しブロック 805 のバンク 2 へのメモリリードアクセス 202 を実行する。

【0048】

SDRAM 808 は、コマンド生成ブロック 102 から出力されたメモリコマンドと、アドレス生成ブロック 103 から出力されたメモリアドレスに基づき、SDRAM 808 からデータ D20, D21 を読み出す。D21 は D20 に続くアドレスのデータであり、一つのアドレス入力で 2 ワードのデータが出力できることを意味している (「バースト長」= 2)。各バンクのプリチャージは最終データ、即ち、この 2 ワード出力時ではデータ D21 などの出力タイミングで自動的に実行される。バンク 0, バンク 1, バンク 3 に関しても同様である。ブロック 805 のバンク 2 へのメモリリードアクセス 202 が終わると、メモリアクセスを許可する優先順位に従って、ブロック 804 のバンク 1 へのメモリリードアクセス 203 を実行し、連続してブロック 806 のバンク 0 へのメモリリー

ドアクセス 204 を実行する。

【0049】

以上のような構成にしたため、SDRAM808に対してメモリ制御装置105がアクセス中のバンクとSDRAM808に対して次にアクセスするブロックからのメモリアクセス要求の対象となるバンクが同一である場合は、調停回路101が異なるバンクに対するメモリアクセス要求を出力しているブロックの優先順位をあげて、異なるバンクに連続してアクセスできるようにすることにより、SDRAM808にアクセスできない無駄なサイクルが生じることを解消して、処理時間を向上させることができる。

【0050】

また、メモリアドレスを生成する複数のブロックは、前記メモリ制御装置がアクセス中のバンクを意識することなくメモリアドレスを生成することができる。

【0051】

この実施の形態1では、SDRAM808が「バースト長」＝”2”に設定されている場合を一例として説明したが、例えば、「バースト長」＝”4”，”8”，その他の値に設定されている場合にも、同様の効果が得られる。

【0052】

また、この実施の形態1では、SDRAM808が「CASレテンシ」＝”3”に設定されている場合を一例として説明したが、例えば、「CASレテンシ」＝”2”，その他の値に設定されている場合にも、同様の効果が得られる。

【0053】

なお、この実施の形態1では、SDRAM808に対する優先順位がブロック804，805，806の順に高いという例で説明したが、外部から設定可能なメモリアクセス優先順位レジスタを備えているため、前記メモリアクセス優先順位変更レジスタの値により、ブロック804，805，806の優先順位を変更した場合でも同様の効果が得られる。

【0054】

また、この実施の形態1では、SDRAM808に対してメモリ制御装置105がアクセス中のバンクとSDRAM808に対して次にアクセスするブロック

からのメモリアクセス要求の対象となるバンクが同一である場合に、SDRAM 808に対して次にアクセスするブロックの優先順位がブロック805、806の順に高いという例で説明したが、ブロック選択レジスタを備えているため、前記ブロック選択レジスタの値により、SDRAM808に対して次にアクセスするブロックを選択した場合でも同様の効果が得られる。

【0055】

(実施の形態2)

以下に、本発明の請求項5及び請求項6及び請求項7及び請求項8に記載された発明の実施の形態について、図3を用いて説明する。図3は、実施の形態2の主要な信号のタイミングチャートである。

【0056】

図3において、

(A) はSDRAM808が動作するクロック、

(B) はブロック804から出力される調停回路101へのメモリリクエスト、

(C) は調停回路101から返信されるブロック804へのメモリアクセス許可信号、

(D) はメモリ制御装置105がSDRAM808に対し実行しているメモリアクセス、

(E) はSDRAM808から読み出したリードデータ、

(F) は各ブロックに転送するデータ、

301はメモリ制御装置105がアクセス中のバンク1へのメモリリードアクセス、

302はブロック804のバンク1へのメモリリードリクエスト、

303はブロック804のバンク2へのメモリリードリクエスト、

304はブロック805のバンク0へのメモリリードリクエスト、

305はブロック805のバンク3へのメモリリードリクエスト、

306はSDRAM808のバンク2から読み出した8バイトのバンクアクセスデータ、

307はSDRAM808のバンク1から読み出した8バイトのバンクアクセス

データである。

【0057】

本発明の実施の形態2のメモリ制御装置は、前述の実施の形態1の複数のブロック804、805、806からのメモリアクセス要求が8バイトのバンクアクセスデータ単位で行われていたのに対し、異なるバンクに属する2組の8バイトのバンクアクセスデータによって構成される16バイトのブロックアクセスデータ単位でメモリアクセス要求が行われる点が前述の実施の形態1とは異なっている。そのため、複数のブロック804、805、806からのメモリアクセス要求がメモリ制御装置105がアクセス中のバンクと同一のバンクへのメモリアクセス要求である場合、16バイトのブロックアクセスデータのバンクアクセスデータの順序を入れ替えて、SDRAM808の異なるバンクに連続してアクセスするよう前記SDRAM808へのアクセスを制御する機能が前述の実施の形態1とは異なっている。

【0058】

以下、SDRAM808に備えられているモード設定を「CASレテンシ」＝”3”、「バースト長」＝”2”と設定し、SDRAM808に対する優先順位をブロック804、805、806の順に優先順位が高いとして、ブロック804がバンク分割モードのSDRAM808からデータをリード（読み出し）する場合のメモリ制御装置105の動作について説明する。ブロック804がSDRAM808にアクセスする場合には、メモリ制御装置105を介して、メモリアドレス、データ、制御信号の受け渡しを行う。ブロック804から調停回路101にメモリリクエスト（図3（B））が出力されると、SDRAM808にメモリリクエストを出力しているブロックが他に存在しなければ調停回路101がブロック804に対しメモリアクセス許可信号（図3（C））を返信し、ブロック804の前記メモリリクエストと同時に他のブロック（ブロック805またはブロック806）がメモリリクエスト（図3（D））を出力している場合には、SDRAM808にアクセスする優先順位に従って優先順位の高いブロックに対しメモリアクセス許可信号を返信する。

【0059】

メモリ制御装置105がSDRAM808のバンク1に対しアクセス中(図3(F)301)でブロック804からSDRAM808のバンク1、バンク2の順にメモリリードリクエスト(図3(B)302, 303)が出力されているとする。ブロック804からメモリリードリクエスト302, 303が出力されると、調停回路101はブロック804にメモリアクセス許可信号(図3(B))を返信するとともに、メモリ制御装置105がアクセス中のバンク1へのメモリリードアクセス301とブロック804から出力された前半の8バイトのバンクアクセスデータを読み出すメモリリードリクエスト302が同一のバンクへのメモリアクセス要求であると判断し、後半の8バイトのバンクアクセスデータを読み出すメモリリードリクエスト303とアクセス順序を入れ替えて、SDRAM808に対しメモリリードアクセス304, 305を実行する(アクセス順序変換処理)。

【0060】

調停回路101は、メモリアクセスを許可したブロック804から出力されるメモリアドレスを取り込み、入れ替えたアクセス順にメモリアドレスを生成するようアドレス生成ブロック103に指示すると共に、RAS(Row Address Strobe), CAS(Column Address Strobe)などのメモリコマンドを生成するようコマンド生成ブロック102に指示する。また、同時に、SDRAM808から読み出したデータを取り込むようデータラッチブロック104に指示する。アドレス生成ブロック103は、アクセスを許可されたブロック804からのメモリアドレスを受け取り、調停回路101からの制御信号に従い、アクセス順序を入れ替えてSDRAM808に出力し、コマンド生成ブロック102は前記メモリコマンドをSDRAM808に出力しブロック804のバンク2へのメモリリードアクセス304を実行後、バンク1へのメモリリードアクセス305を実行する。

【0061】

SDRAM808は、コマンド生成ブロック102から出力されたメモリコマンドと、アドレス生成ブロック103から出力されたメモリアドレスに基づき、SDRAM808からD20, D21の8バイトのバンクアクセスデータ306

、D10、D11の8バイトのバンクアクセスデータ307を読み出す。

【0062】

データラッチブロック104は、調停回路101で入れ替えたアクセス順（バンク2へのアクセス後、バンク1へのアクセス）にSDRAM808から読み出したバンクアクセスデータ306、307をブロック804に出力する際、ブロック804からメモリリードリクエスト302、303が出力された元のアクセス順（バンク1へのアクセス後、バンク2へのアクセス）にSDRAM808から読み出したバンクアクセスデータ306、307を入れ替えて出力する（読み出しデータ順序変換処理）。

【0063】

以上のような構成にしたため、SDRAM808に対してメモリ制御装置105がアクセス中のバンクとSDRAM808に対して次にアクセスするブロックからのメモリアクセス要求の前半のアクセスの対象となるバンクが同一である場合は、調停回路101が前半のアクセスと後半のアクセスの順序を入れ替えて、異なるバンクに連続してアクセスできるようにすることにより、SDRAM808にアクセスできない無駄なサイクルが生じることを解消して、処理時間を向上させることができる。

【0064】

また、メモリアドレスを生成する複数のブロックは、前記メモリ制御装置が現在アクセス中のバンクを意識することなくメモリアドレスを生成することができる。

【0065】

また、SDRAM808に対するバンクアクセスデータのアクセス順序を変更した場合でも、SDRAM808から16バイトのブロックアクセスデータを読み出してデータラッチブロック104に格納するとともに格納したバンクアクセスデータをSDRAM808から読み出した順序と逆の順序で、メモリアクセスを行ったブロックに対してデータラッチブロック104が転送することにより、前記ブロックはバンクを意識することなくSDRAM808から読み出したブロックアクセスデータを受け取ることができる。

【0066】

この実施の形態2では、SDRAM808が「バースト長」＝”2”に設定されている場合を一例として説明したが、例えば、「バースト長」＝”4”，”8”，その他の値に設定されている場合にも、同様の効果が得られる。

【0067】

また、この実施の形態2では、SDRAM808が「CASレテンシ」＝”3”に設定されている場合を一例として説明したが、例えば、「CASレテンシ」＝”2”，その他の値に設定されている場合にも、同様の効果が得られる。

【0068】

なお、この実施の形態2では、SDRAM808に対する優先順位がブロック804，805，806の順に高いという例で説明したが、外部から設定可能なメモリアクセス優先順位レジスタを備えているため、前記メモリアクセス優先順位変更レジスタの値により、ブロック804，805，806の優先順位を変更した場合でも同様の効果が得られる。

【0069】

(実施の形態3)

以下に、本発明の請求項9及び請求項10及び請求項11及び請求項12に記載された発明の実施の形態について、図4を用いて説明する。図4は、実施の形態3の主要な信号のタイミングチャートである。

【0070】

図4において、

- (A) はSDRAM808が動作するクロック、
- (B) はブロック804から出力される調停回路101へのメモリリクエスト、
- (C) は調停回路101から返信されるブロック804へのメモリアクセス許可信号、
- (D) はブロック805から出力される調停回路101へのメモリリクエスト、
- (E) は調停回路101から返信されるブロック805へのメモリアクセス許可信号、
- (F) はブロック806から出力される調停回路101へのメモリリクエスト、

(G) は調停回路 101 から返信されるブロック 806 へのメモリアクセス許可信号、

(H) はメモリ制御装置 105 が SDRAM 808 に対し実行しているメモリアクセス、

401 はメモリ制御装置 105 がアクセス中のバンク 1 へのメモリリードアクセス、

402 はブロック 805 のバンク 1 へのメモリリードリクエスト、

403 はブロック 805 のバンク 1 へのメモリリードアクセス、

404 はメモリ制御装置 105 がアクセス中のバンク 1 へのメモリリードアクセス、

405 はブロック 806 のバンク 2 へのメモリリードリクエスト、

406 はブロック 806 のバンク 2 へのメモリリードアクセスである。

【0071】

本発明の実施の形態 3 のメモリ制御装置は、前述の実施の形態 2 の複数のブロック 804, 805, 806 からのメモリアクセス要求が異なるバンクに属する 2 組の 8 バイトのバンクアクセスデータによって構成される 16 バイトのブロックアクセスデータ単位で行われていたのに対し、前記 16 バイトのブロックアクセスデータ単位でメモリアクセス要求を行うブロックと 8 バイトのバンクアクセスデータ単位でメモリアクセス要求を行うブロックが存在する点が前述の実施の形態 2 とは異なっている。そのため、複数のブロック 804, 805, 806 のうち、前記バンクアクセスデータ単位でメモリアクセス要求が行われるブロック 805, 806 からのメモリアクセス要求を調停回路 101 が許可した場合、前述の実施の形態 2 のメモリ制御装置 105 のコマンド生成ブロック 102 で前記バンクアクセスデータ 1 つ分の待ちサイクルを設け、前記バンクアクセスデータ単位のメモリアクセスのサイクル数が前記ブロックアクセスデータ単位のメモリアクセスのサイクル数と同じになるように制御する機能が実施の形態 2 とは異なっている。

【0072】

以下、SDRAM 808 に備えられているモード設定を「CAS レテンシ」＝

” 3”、「バースト長」＝” 2”と設定し、SDRAM808に対する優先順位をブロック804, 805, 806の順に優先順位が高いとして、ブロック805がメモリ制御装置105がアクセス中のバンクと同一のバンクからデータをリード（読み出し）する場合のメモリ制御装置105の動作について説明する。ブロック805がSDRAM808にアクセスする場合には、メモリ制御装置105を介して、メモリアドレス、データ、制御信号の受け渡しを行う。ブロック805から調停回路101にメモリリクエスト（図4（B））が出力されると、SDRAM808にメモリリクエストを出力しているブロックが他に存在しなければ調停回路101がブロック805に対しメモリアクセス許可信号（図4（C））を返信し、ブロック805の前記メモリリクエストと同時に他のブロック（ブロック804またはブロック806）がメモリリクエスト（図4（D））を出力している場合には、SDRAM808にアクセスする優先順位に従って優先順位の高いブロックに対しメモリアクセス許可信号を返信する。

【0073】

メモリ制御装置105がSDRAM808のバンク1に対しアクセス中（図4（F）401）でブロック805からSDRAM808のバンク1に対しメモリリードリクエスト（図4（C））402）が出力されているとする。ブロック805からメモリリードリクエストが出力されると、調停回路101はブロック805にメモリアクセス許可信号（図4（C））を返信するとともに、アクセスを許可されたブロック805からのメモリアクセスリクエスト402が8バイトのバンクアクセスデータを読み出すメモリアクセス要求であると判断し、コマンド生成ブロック102に対し、バンクアクセスデータ1つ分の待ちサイクルを設けるよう指示する（アクセスウェイト処理）。

【0074】

調停回路101は、メモリアクセスを許可したブロック805から出力されるメモリアドレスを取り込むようアドレス生成ブロック103に指示すると共に、RAS（Row Address Strobe）, CAS（Column Address Strobe）などのメモリコマンドを生成するようコマンド生成ブロック102にも指示する。また同時に、SDRAM808から読み出した

データを取り込むようデータラッチブロック104に指示する。アドレス生成ブロック103は、アクセスを許可されたブロック805からのメモリアドレスを受け取り、SDRAM808に出力し、コマンド生成ブロック102は調停回路101からの制御信号に従い、バンクアクセスデータ1つ分の待ちサイクルを設けた後、前記メモリコマンドをSDRAM808に出力しブロック805のバンク1へのメモリリードアクセス403を実行する。SDRAM808から読み出されたリードデータをブロック805に受け渡す部分については前述の実施の形態2と同様なので説明を省略する。

【0075】

次に、ブロック806がメモリ制御装置105がアクセス中のバンクと異なるバンクからデータをリード（読み出し）する場合のメモリ制御装置105の動作について説明する。ブロック806がSDRAM808にアクセスする場合も、ブロック805がSDRAM808にアクセスする場合と同様にメモリ制御装置105を介して、メモリアドレス、データ、制御信号の受け渡しを行う。ブロック806から調停回路101にメモリリクエスト（図4（D））が出力されると、SDRAM808にメモリリクエストを出力しているブロックが他に存在しなければ調停回路101がブロック806に対しメモリアクセス許可信号（図4（E））を返信する。

【0076】

メモリ制御装置105がSDRAM808のバンク1に対しアクセス中（図4（H）404）でブロック806からSDRAM808のバンク2に対しメモリリードリクエスト（図4（D））405が出力されているとする。ブロック806からメモリリードリクエストが出力されると、調停回路101はブロック806にメモリアクセス許可信号（図4（E））を返信するとともに、アクセスを許可されたブロック806からのメモリアクセスリクエスト405が8バイトのバンクアクセスデータを読み出すメモリアクセス要求であると判断し、コマンド生成ブロック102に対し、バンクアクセスデータ1つ分の待ちサイクルを設けるよう指示する（アクセスウェイト処理）。

【0077】

調停回路101は、メモリアクセスを許可したブロック806から出力されるメモリアドレスを取り込むようアドレス生成ブロック103に指示すると共に、RAS (Row Address Strobe), CAS (Column Address Strobe) などのメモリコマンドを生成するようコマンド生成ブロック102にも指示する。また同時に、SDRAM808から読み出したデータを取り込むようデータラッチブロック104に指示する。アドレス生成ブロック103は、アクセスを許可されたブロック806からのメモリアドレスを受け取り、SDRAM808に出力し、コマンド生成ブロック102は調停回路101からの制御信号に従い、バンクアクセスデータ1つ分の待ちサイクルを設けた後、前記メモリコマンドをSDRAM808に出力しブロック806のバンク2へのメモリリードアクセス406を実行する。SDRAM808から読み出されたリードデータをブロック806に受け渡す部分については前述の実施の形態2と同様なので説明を省略する。

【0078】

以上のような構成にしたため、8バイトのバンクアクセスデータ単位のメモリアクセス要求を調停回路101が許可した場合は、コマンド生成ブロック102でバンクアクセスデータ1つ分の待ちサイクルを設けることにより、1回前のメモリアクセスのバンクの影響を受けずメモリアクセスを実現することができ、かつ、バンクアクセスデータ単位でメモリアクセスを行うために必要な回路を削減することができる。

【0079】

この実施の形態3では、SDRAM808が「バースト長」＝”2”に設定されている場合を一例として説明したが、例えば、「バースト長」＝”4”，”8”，その他の値に設定されている場合にも、同様の効果が得られる。

【0080】

また、この実施の形態3では、SDRAM808が「CASレテンシ」＝”3”に設定されている場合を一例として説明したが、例えば、「CASレテンシ」＝”2”，その他の値に設定されている場合にも、同様の効果が得られる。

【0081】

なお、この実施の形態3では、SDRAM808に対する優先順位がブロック804、805、806の順に高いという例で説明したが、外部から設定可能なメモリアクセス優先順位レジスタを備えているため、前記メモリアクセス優先順位変更レジスタの値により、ブロック804、805、806の優先順位を変更した場合でも同様の効果が得られる。

【0082】

また、この実施の形態3では、コマンド生成ブロック102でバンクアクセスデータ1つ分の待ちサイクルを設けるという例で説明したが、外部から設定可能なウェイトサイクル変更レジスタを備えているため、前記ウェイトサイクル変更レジスタの値により、コマンド生成ブロック102で挿入する待ちサイクル数を変更した場合でも同様の効果が選られる。

【0083】

(実施の形態4)

以下に、本発明の請求項13及び請求項14及び請求項15及び請求項16に記載された発明の実施の形態について、図5を用いて説明する。図5は、実施の形態4の主要な信号のタイミングチャートである。

【0084】

図5において、

- (A) はSDRAM808が動作するクロック、
 - (B) はブロック804から出力される調停回路101へのメモリリクエスト、
 - (C) は調停回路101から返信されるブロック804へのメモリアクセス許可信号、
 - (D) はブロック805から出力される調停回路101へのメモリリクエスト、
 - (E) は調停回路101から返信されるブロック805へのメモリアクセス許可信号、
 - (F) はメモリ制御装置105がSDRAM808に対し実行しているメモリアクセス、
- 501はメモリ制御装置105がアクセス中のバンク1へのメモリリードアクセス、

502はブロック804のバンク2へのメモリライトリクエスト、
503はブロック805のバンク0へのメモリリードリクエスト、
504はブロック805のバンク0へのメモリライトアクセス、
505はブロック804のバンク2へのメモリライトアクセスである。

【0085】

本発明の実施の形態4のメモリ制御装置は、前述の実施の形態1のメモリ制御装置105がアクセス中のバンクと複数のブロック804、805、806からのメモリアクセス要求の対象となるバンクが同一である場合に複数のブロックの優先順位を変更していたのに対し、メモリ制御装置105がリードアクセス中の場合は、リードアクセスが連続するように前記複数のブロックの優先順位を変更する機能が前述の実施の形態1とは異なっている。

【0086】

以下、SDRAM808に備えられているモード設定を「CASレテンシ」＝”3”、「バースト長」＝”2”と設定し、SDRAM808に対する優先順位をブロック804、805、806の順に優先順位が高いとして、ブロック804がバンク分割モードのSDRAM808にデータをライト（書き込み）する場合のメモリ制御装置105の動作について説明する。ブロック804がSDRAM808にアクセスする場合には、メモリ制御装置105を介して、メモリアドレス、データ、制御信号の受け渡しを行う。ブロック804から調停回路101にメモリリクエスト（図5（B））が出力されると、SDRAM808にメモリリクエストを出力しているブロックが他に存在しなければ調停回路101がブロック804に対しメモリアクセス許可信号（図5（C））を返信し、ブロック804の前記メモリリクエストと同時に他のブロック（ブロック805またはブロック806）がメモリリクエスト（図5（D））を出力している場合には、SDRAM808にアクセスする優先順位に従って優先順位の高いブロックに対しメモリアクセス許可信号を返信する。

【0087】

メモリ制御装置105がSDRAM808のバンク1に対しリードアクセス中（図5（F）501）でブロック804からSDRAM808のバンク2に対し

メモリライトリクエスト (図5 (B) 502) が出力され、それと同時にブロック805からSDRAM808のバンク0に対しメモリリードリクエスト (図5 (D) 503) が出力されているとする。ブロック804からメモリライトリクエスト502が出力されると、調停回路101はリードアクセスの後にライトアクセスが続くのを防ぐために、ブロック805から出力されているSDRAM808のバンク0に対するメモリリードリクエスト503を受け付け、ブロック805に対しメモリアクセス許可信号 (図5 (E)) を返信し、SDRAM808に対しメモリリードアクセス504を実行する (リードアクセス優先処理)。

【0088】

調停回路101は、メモリアクセスを許可したブロック805から出力されるメモリアドレスを取り込むようアドレス生成ブロック103に指示すると共に、RAS (Row Address Strobe), CAS (Column Address Strobe) などのメモリコマンドを生成するようコマンド生成ブロック102にも指示する。また、同時に、SDRAM808から読み出したデータを取り込むようデータラッチブロック104に指示する。アドレス生成ブロック103は、アクセスを許可されたブロック805からのメモリアドレスを受け取り、SDRAM808に出力し、コマンド生成ブロック102は前記メモリコマンドをSDRAM808に出力し、ブロック805のバンク0へのメモリリードアクセス504を実行する。その後、SDRAM808からデータを読み出す間待ちサイクルを設け、ブロック804のSDRAM808のバンク2に対するメモリライトリクエスト502を受け付け、ブロック805にメモリアクセス許可信号 (図5 (C)) を返信し、ブロック804のバンク2へのメモリライトアクセス505を実行する。SDRAM808から読み出されたリードデータをブロック805に受け渡す部分については前述の実施の形態1と同様なので説明を省略する。

【0089】

以上のような構成にしたため、メモリ制御装置105がSDRAM808に対しメモリリードアクセス中で、前記ブロックからメモリライトアクセス要求が出力される場合は、調停回路101がリードアクセスの後のライトアクセスの優先

順位を低くして、他のブロックからのメモリリードアクセス要求を受け付けることにより、SDRAM808にアクセスできない無駄なサイクルが生じることを解消して、処理時間を向上させることができる。

【0090】

この実施の形態4では、SDRAM808が「バースト長」＝”2”に設定されている場合を一例として説明したが、例えば、「バースト長」＝”4”，”8”，その他の値に設定されている場合にも、同様の効果が得られる。

【0091】

また、この実施の形態4では、SDRAM808が「CASレテンシ」＝”3”に設定されている場合を一例として説明したが、例えば、「CASレテンシ」＝”2”，その他の値に設定されている場合にも、同様の効果が得られる。

【0092】

なお、この実施の形態4では、SDRAM808に対する優先順位がブロック804，805，806の順に高いという例で説明したが、外部から設定可能なメモリアクセス優先順位レジスタを備えているため、前記メモリアクセス優先順位変更レジスタの値により、ブロック804，805，806の優先順位を変更した場合でも同様の効果が得られる。

【0093】

また、この実施の形態4では、SDRAM808に対してメモリ制御装置105がアクセス中のバンクとSDRAM808にアクセスするブロックからのメモリアクセス要求の対象となるバンクが同一である場合に、SDRAM808に対して次にアクセスするブロックの優先順位がブロック805，806の順に高いという例で説明したが、ブロック選択レジスタを備えているため、前記ブロック選択レジスタの値により、SDRAM808に対して次にアクセスするブロックを選択した場合でも同様の効果が得られる。

【0094】

(実施の形態5)

以下に、本発明の請求項17及び請求項18及び請求項19及び請求項20に記載された発明の実施の形態について、図6及び図7を用いて説明する。図6は

、本発明におけるメモリ制御装置を示すブロック図、図7は、実施の形態5の主要な信号のタイミングチャートである。

【0095】

図6において、このメモリ制御装置105は調停回路101、コマンド生成ブロック102、アドレス生成ブロック103、データラッチブロック104については実施の形態1の構成と同じで、

SDRAM808の内部データを保持するために一定時間毎に調停回路101に対し、リフレッシュ要求信号を出力するリフレッシュ要求ブロック601とで構成される。

【0096】

図7において、

(A) はSDRAM808が動作するクロック、

(B) はリフレッシュ要求ブロック601から出力されるリフレッシュ要求信号、

(C) は調停回路101からリフレッシュ要求ブロック601へリフレッシュ許可信号、

(D) はブロック804から出力される調停回路101へのメモリリクエスト、

(E) は調停回路101から返信されるブロック804へのメモリアクセス許可信号、

(F) はブロック805から出力される調停回路101へのメモリリクエスト、

(G) は調停回路101から返信されるブロック805へのメモリアクセス許可信号、

(H) はメモリ制御装置105がSDRAM808に対し実行しているメモリアクセス、

701はメモリ制御装置105がアクセス中のバンク1へのメモリライトアクセス、

702はブロック804のバンク1へのメモリリードアクセス、

703はリフレッシュ要求ブロック601のリフレッシュ動作、

704はブロック805のバンク0へのメモリリードアクセスである。

【0097】

本発明の実施の形態5のメモリ制御装置は、前述の実施の形態4のメモリ制御装置105がリードアクセス中の場合は、複数のブロック804, 805, 806からのメモリアクセス要求をリードアクセスが連続するよう、複数のブロックからのメモリリードアクセスを優先していたのに対し、リフレッシュ要求ブロック601からリフレッシュ要求信号が出力された場合は、リードアクセスの後リフレッシュ動作が連続するように前記複数のブロックの優先順位を変更する機能が前述の実施の形態4とは異なっている。

【0098】

以下、SDRAM808に備えられているモード設定を「CASレテンシ」＝「3」、「バースト長」＝「2」と設定し、SDRAM808に対する優先順位をリフレッシュ要求ブロック601, ブロック804, 805, 806の順に優先順位が高いとして、リフレッシュ要求ブロック601がバンク分割モードのSDRAM808に対しリフレッシュ動作を実行する場合のメモリ制御装置105の動作について説明する。リフレッシュ要求ブロック601がSDRAM808にアクセス場合には、メモリ制御装置105を介して、制御信号の受け渡しを行う。リフレッシュ要求ブロック601から調停回路101にリフレッシュ要求信号(図7(B))が出力されると、SDRAM808にメモリリクエストを出力しているブロックが他に存在しなければ調停回路101がリフレッシュ要求ブロック601に対し、リフレッシュ許可信号(図7(C))を返信し、リフレッシュ要求ブロック601の前記リフレッシュ要求信号と同時に他のブロック(ブロック804またはブロック805またはブロック806)がメモリリクエスト(図7(D), (F))を出力している場合には、SDRAM808にアクセスする優先順位に従って優先順位の高いブロックに対し許可信号を返信する。

【0099】

メモリ制御装置105がSDRAM808のバンク0に対しライトアクセス中(図7(H)701)でリフレッシュ要求ブロック601からリフレッシュ要求信号(図7(B))が出力され、それと同時にブロック804からバンク1へのメモリリードリクエスト(図7(D))と、ブロック805からバンク0へのメ

メモリリードリクエスト（図 7（F））が出力されているとする。リフレッシュ要求ブロック 601 からリフレッシュ要求信号（図 7（B））が出力されると、調停回路 101 はライトアクセスの後にリフレッシュ動作が続くのを防ぐために、ブロック 804 から出力されている SDRAM 808 のバンク 1 に対するメモリリードリクエスト（図 7（D））を受け付け、ブロック 804 に対しメモリアクセス許可信号（図 7（E））を返信し、ブロック 804 のバンク 1 へのメモリリードアクセス 702 を実行する。その後、リフレッシュ要求ブロック 601 からのリフレッシュ要求信号（図 7（B））を受け付け、リフレッシュ要求ブロック 601 に対し、リフレッシュ許可信号（図 7（C））を返信し、SDRAM 808 に対しリフレッシュ動作 703 を実行する（リフレッシュ順序変更処理）。

【0100】

リフレッシュ動作が終了すると、ブロック 805 から出力されている SDRAM 808 のバンク 0 に対するメモリリードリクエスト（図 7（F））を受け付け、ブロック 805 に対しメモリアクセス許可信号（図 7（G））を返信し、ブロック 805 のバンク 0 へのメモリリードアクセス 704 を実行する。調停回路 101 からの制御信号に従い、コマンド生成ブロック 102、アドレス生成ブロック 103、データラッチブロック 104 とメモリコマンド、メモリアドレス、データの受け渡す部分については前述の実施の形態 1 と同様なので説明を省略する。

【0101】

以上のような構成にしたため、メモリ制御装置 105 が SDRAM 808 に対しメモリライトアクセス中で、前記リフレッシュ要求ブロックからリフレッシュ要求信号が出力される場合は、調停回路 101 がライトアクセスの後のリフレッシュ動作の優先順位を低くして、他のブロックからのメモリリードアクセス要求を受け付けることにより、SDRAM 808 にアクセスできない無駄なサイクルが生じることを解消して、処理時間を向上させることができる。

【0102】

この実施の形態 5 では、SDRAM 808 が「バースト長」＝「2」に設定されている場合を一例として説明したが、例えば、「バースト長」＝「4」, 「8

” , その他の値に設定されている場合にも、同様の効果が得られる。

【0103】

また、この実施の形態5では、SDRAM808が「CASレテンシ」＝” 3” に設定されている場合を一例として説明したが、例えば、「CASレテンシ」＝” 2” , その他の値に設定されている場合にも、同様の効果が得られる。

【0104】

なお、この実施の形態5では、SDRAM808に対する優先順位がリフレッシュ要求ブロック601, ブロック804, 805, 806の順に高いという例で説明したが、外部から設定可能なメモリアクセス優先順位レジスタを備えているため、前記メモリアクセス優先順位変更レジスタの値により、リフレッシュ要求ブロック601, ブロック804, 805, 806の優先順位を変更した場合でも同様の効果が得られる。

【0105】

また、この実施の形態5では、SDRAM808に対してメモリ制御装置105がアクセス中のバンクとSDRAM808にアクセスするブロックからのメモリアクセス要求の対象となるバンクが同一である場合に、SDRAM808に対して次にアクセスするブロックの優先順位がブロック805, 806の順に高いという例で説明したが、メモリアクセス許可ブロック変更レジスタを備えているため、前記メモリアクセス許可ブロック変更レジスタの値により、SDRAM808に対して次にアクセスするブロックを選択した場合でも同様の効果が得られる。

【0106】

【発明の効果】

以上のように本発明のメモリ制御装置によれば、メモリ制御装置を介してメモリにアクセスするブロックからのメモリアクセス要求が、前記メモリ制御装置がアクセス中のバンクと同一のバンクに対して出力される場合には、前記調停回路が異なるバンクに対するメモリアクセス要求を出力しているブロックの優先順位をあげて、異なるバンクに連続してアクセスできるようにすることにより、前記メモリにアクセスできない無駄なサイクルが生じることを解消して、処理時間を

向上させることができる。また、メモリアドレスを生成する複数のブロックは、前記メモリ制御装置が現在アクセス中のバンクを意識することなくメモリアドレスを生成することができる。

【0107】

また、異なるバンクに属する2組のバンクアクセスデータによって構成されるブロックアクセスデータ単位でメモリアクセス要求が行われるブロックからのメモリアクセス要求が、前記メモリ制御装置がアクセス中のバンクと同一のバンクに対して出力される場合には、前記調停回路がバンクアクセスデータの順序を入れ替えて、異なるバンクに連続してアクセスできるようにすることにより、前記メモリにアクセスできない無駄なサイクルが生じることを解消して、処理時間を向上させることができる。また、メモリアドレスを生成する複数のブロックは、前記メモリ制御装置が現在アクセス中のバンクを意識することなくメモリアドレスを生成することができる。

【0108】

さらに、前記データラッチブロックで前記メモリから読み出したブロックアクセスデータを前記ブロックから要求があったメモリアクセス順に出力することにより、前記ブロックはバンクを意識することなく前記メモリから読み出したブロックアクセスデータを受け取ることが可能である。

【0109】

また、バンクアクセスデータ単位でメモリアクセス要求が行われるブロックからのメモリアクセス要求を調停回路が許可した場合には、コマンド生成ブロックでバンクアクセスデータ1つ分の待ちサイクルを設けることにより、1回前のメモリアクセスのバンクの影響を受けずメモリアクセスを実現することができ、かつ、バンクアクセスデータ単位でメモリアクセスを行うために必要な回路を削減することができる。

【0110】

また、前記メモリ制御装置が前記メモリに対しメモリリードアクセス中で、前記ブロックからメモリライトアクセス要求が出力される場合には、前記調停回路がリードアクセスの後のライトアクセスの優先順位を低くして、他のブロックか

らのメモリリードアクセス要求を受け付け、前記メモリにアクセスできない無駄なサイクルが生じることを解消して、処理時間を向上させることができる。

【0111】

また、メモリ制御装置がメモリライトアクセス中で、リフレッシュ要求ブロックからリフレッシュ要求が出力される場合には、前記調停回路がライトアクセスの後のリフレッシュ動作の優先順位を低くして、他のブロックからのメモリリードアクセス要求を受け付け、前記メモリにアクセスできない無駄なサイクルが生じることを解消して、処理時間を向上させることができる。

【図面の簡単な説明】

【図1】

本発明の実施の形態1におけるメモリ制御装置を示すブロック図

【図2】

本発明の実施の形態1におけるメモリ制御装置の主要な信号のタイミングチャート

【図3】

本発明の実施の形態2におけるメモリ制御装置の主要な信号のタイミングチャート

【図4】

本発明の実施の形態3におけるメモリ制御装置の主要な信号のタイミングチャート

【図5】

本発明の実施の形態4におけるメモリ制御装置の主要な信号のタイミングチャート

【図6】

本発明の実施の形態5におけるメモリ制御装置を示すブロック図

【図7】

本発明の実施の形態5におけるメモリ制御装置の主要な信号のタイミングチャート

【図8】

従来発明のメモリ制御装置の構成を示すブロック図

【図 9】

従来発明のメモリ制御装置の主要な信号のタイミングチャート

【符号の説明】

- 101 調停回路
- 102 コマンド生成ブロック
- 103 アドレス生成ブロック
- 104 データラッチブロック
- 105 メモリ制御装置
- 201 メモリ制御装置105がアクセス中のバンク1へのメモリリードアクセス
- 202 ブロック805のバンク2へのメモリリードアクセス
- 203 ブロック804のバンク1へのメモリリードアクセス
- 204 ブロック806のバンク0へのメモリリードアクセス
- 301 メモリ制御装置105がアクセス中のバンク1へのメモリリードアクセス
- 302 ブロック804のバンク1へのメモリリードリクエスト
- 303 ブロック804のバンク2へのメモリリードリクエスト
- 304 ブロック805のバンク0へのメモリリードリクエスト
- 305 ブロック805のバンク3へのメモリリードリクエスト
- 306 SDRAM808のバンク2から読み出した8バイトのバンクアクセスデータ
- 307 SDRAM808のバンク1から読み出した8バイトのバンクアクセスデータ
- 401 メモリ制御装置105がアクセス中のバンク1へのメモリリードアクセス
- 402 ブロック805のバンク1へのメモリリードリクエスト
- 403 ブロック805のバンク1へのメモリリードアクセス
- 404 メモリ制御装置105がアクセス中のバンク1へのメモリリードアクセス

セス

405 ブロック806のバンク2へのメモリリードリクエスト

406 ブロック806のバンク2へのメモリリードアクセス

スト

501 メモリ制御装置105がアクセス中のバンク1へのメモリリードアク

セス

502 ブロック804のバンク2へのメモリライトリクエスト

503 ブロック805のバンク0へのメモリリードリクエスト

504 ブロック805のバンク0へのメモリライトアクセス

505 ブロック804のバンク2へのメモリライトアクセス

601 リフレッシュ要求ブロック

701 メモリ制御装置105がアクセス中のバンク1へのメモリライトアク

セス

702 ブロック804のバンク1へのメモリリードアクセス

703 リフレッシュ要求ブロック601のリフレッシュ動作

704 ブロック805のバンク0へのメモリリードアクセス

801 メモリ制御装置

802 メモリ制御手段

803 調停・Wait信号発生部

804 ブロック

805 ブロック

806 ブロック

807 ブロック

808 SDRAM

809 ブロック804のメモリ制御部

810 ブロック805のメモリ制御部

811 ブロック806のメモリ制御部

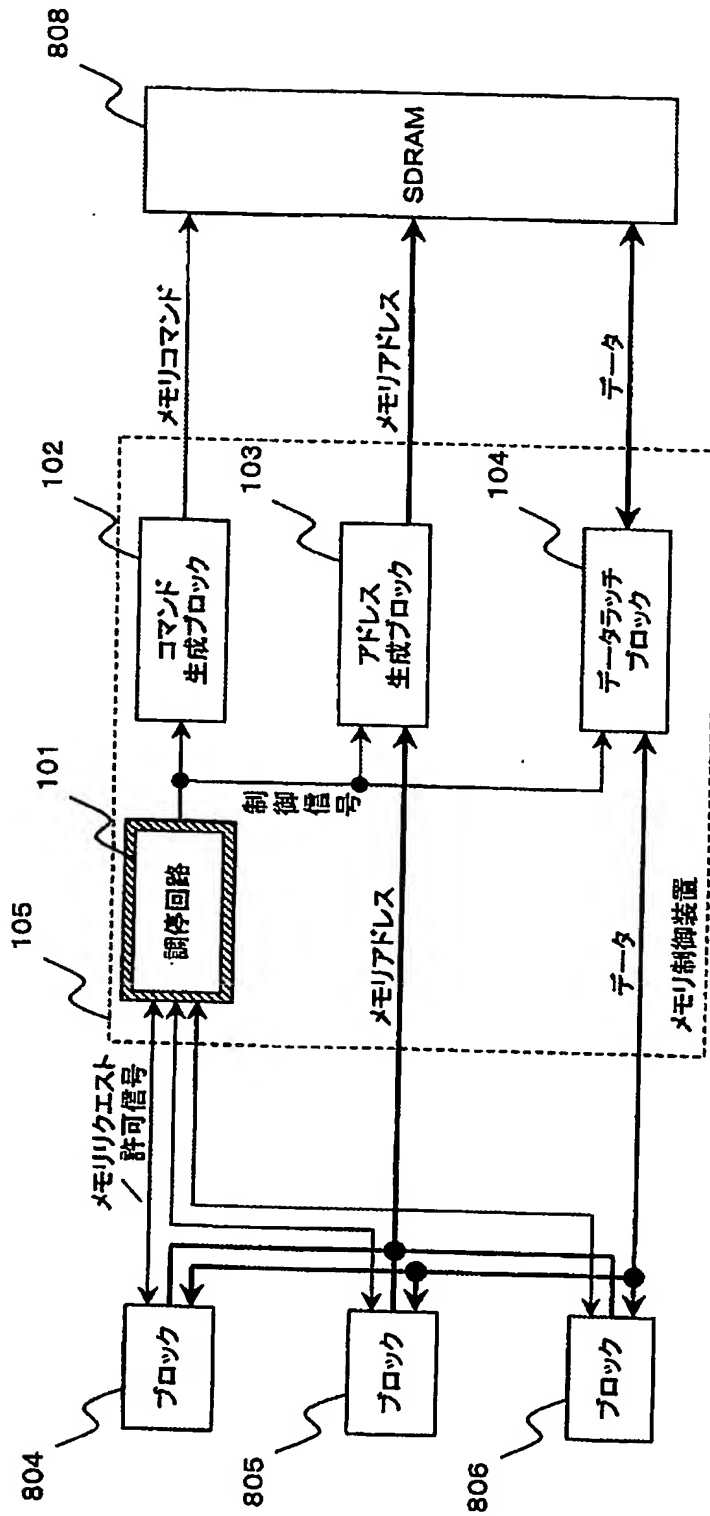
812 ブロック807のメモリ制御部

901 バンク0に対するリードコマンド

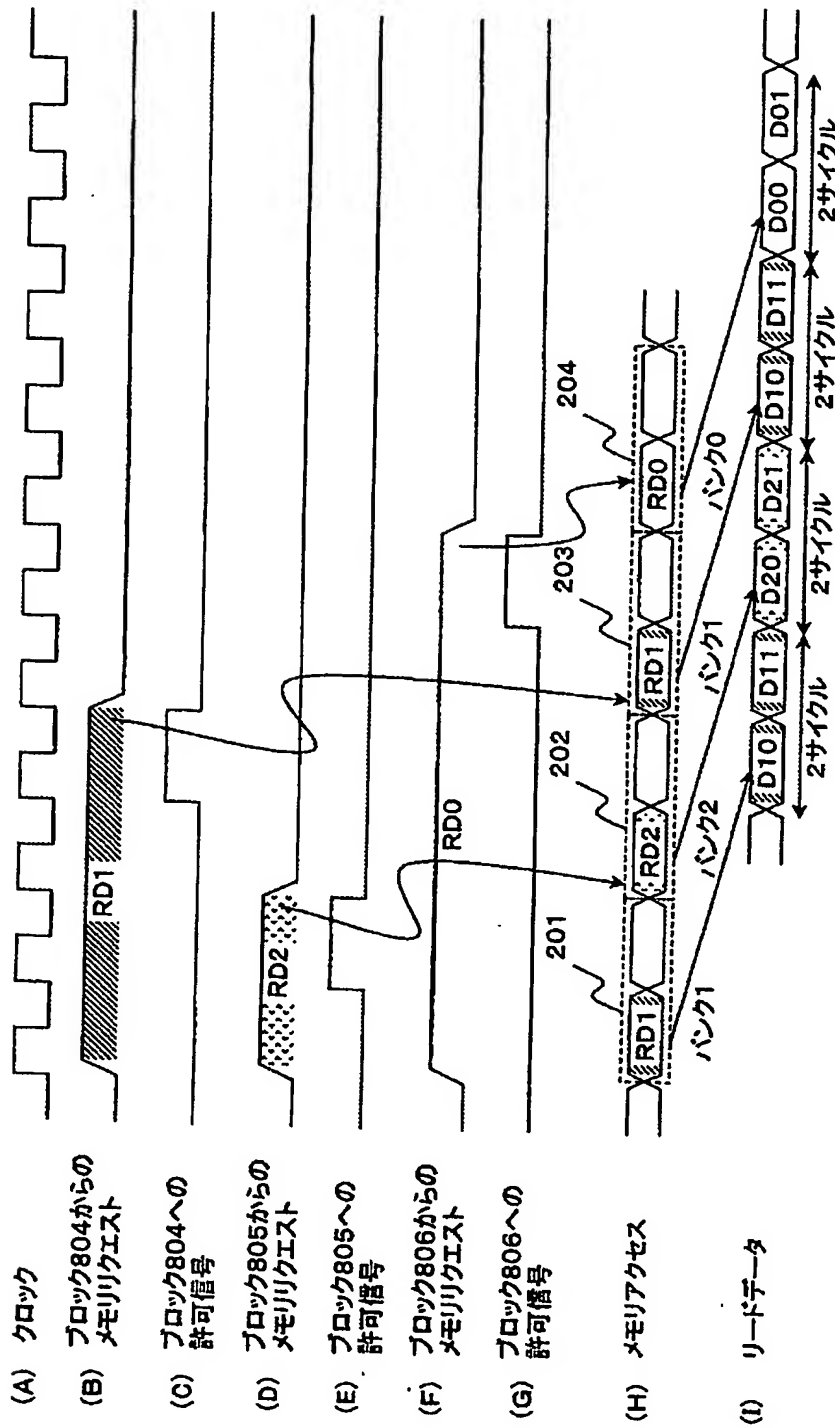
【書類名】

図面

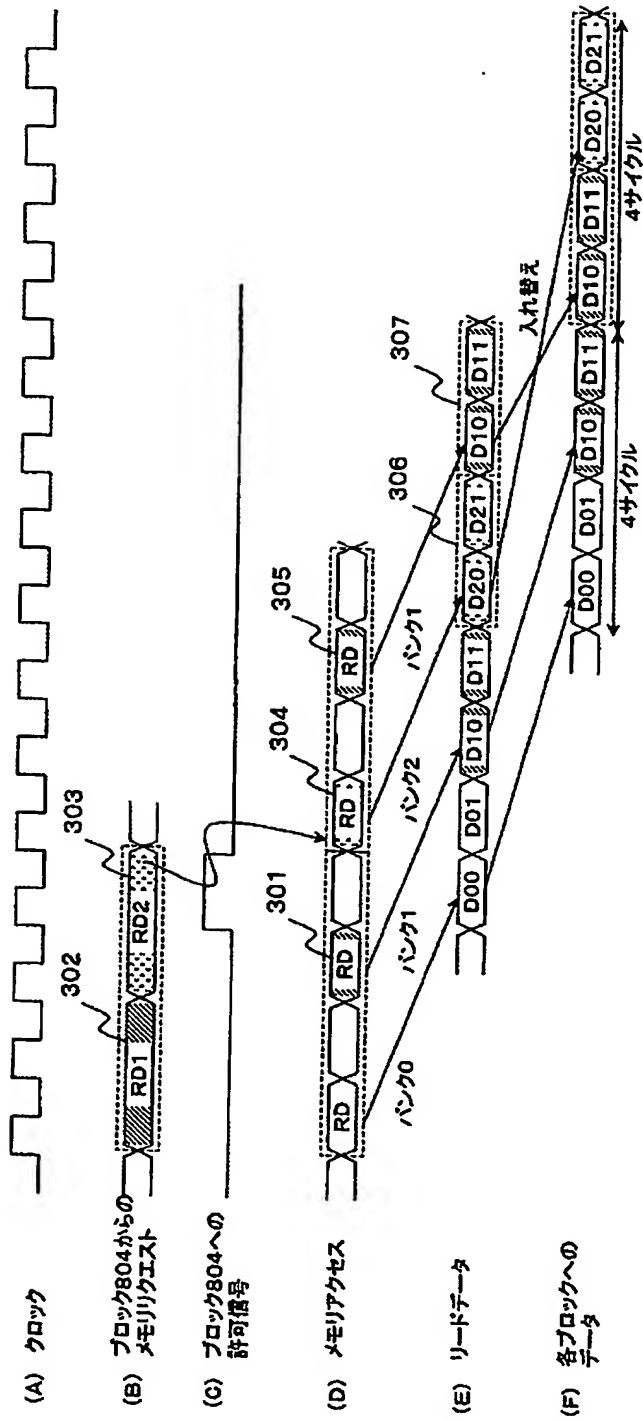
【図 1】



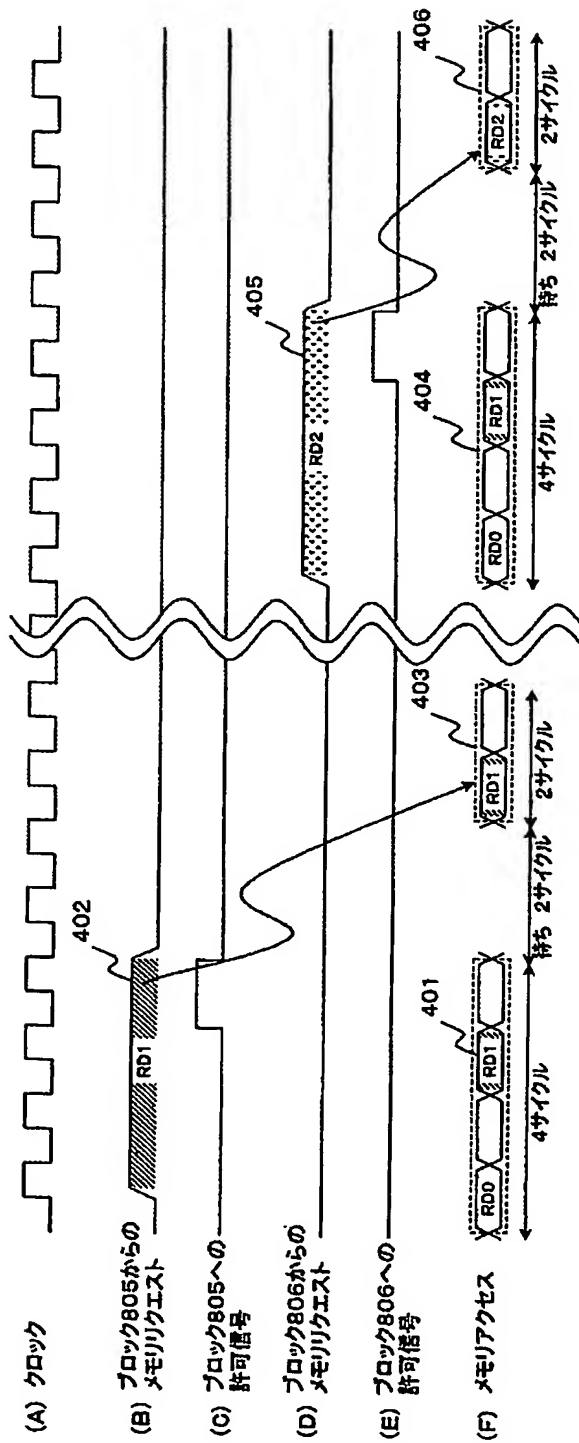
【図 2】



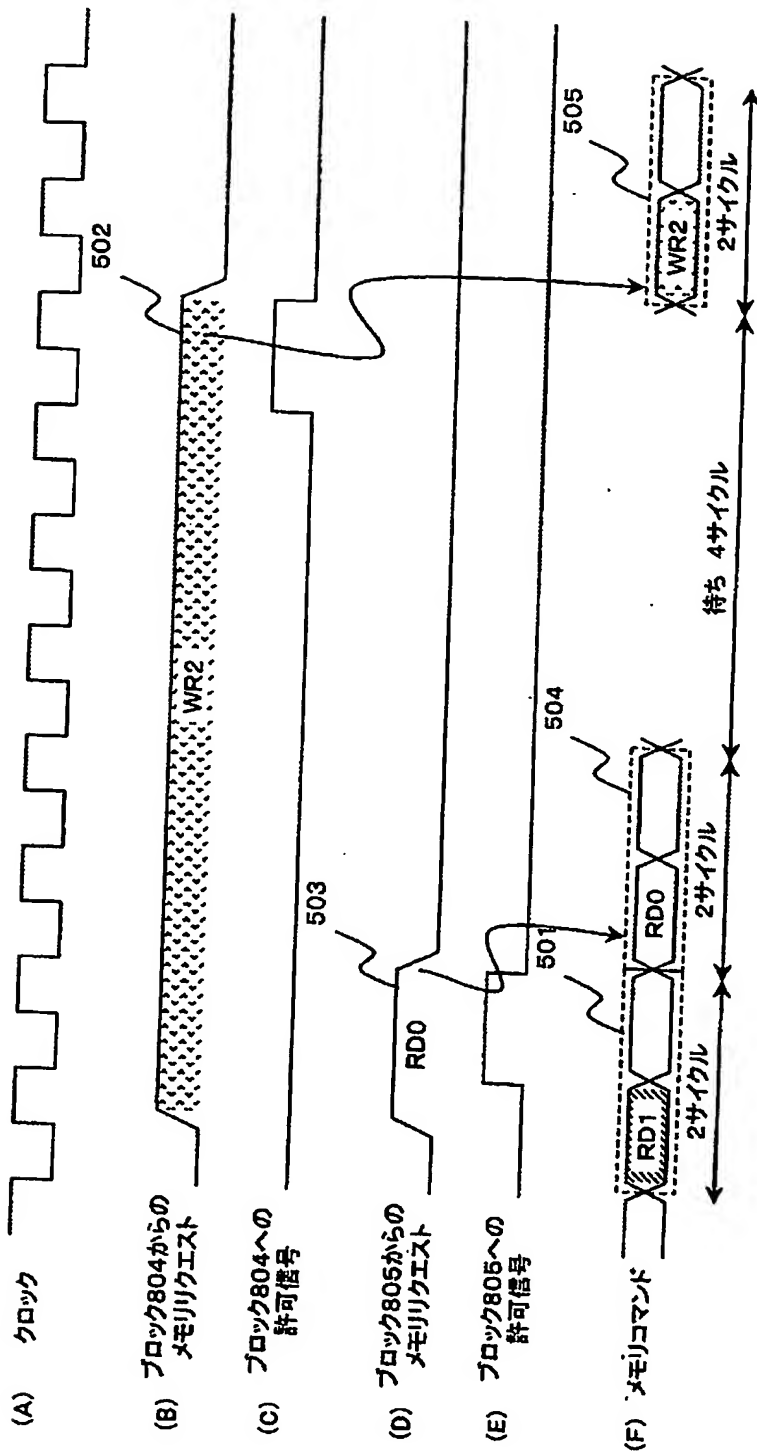
【図 3】



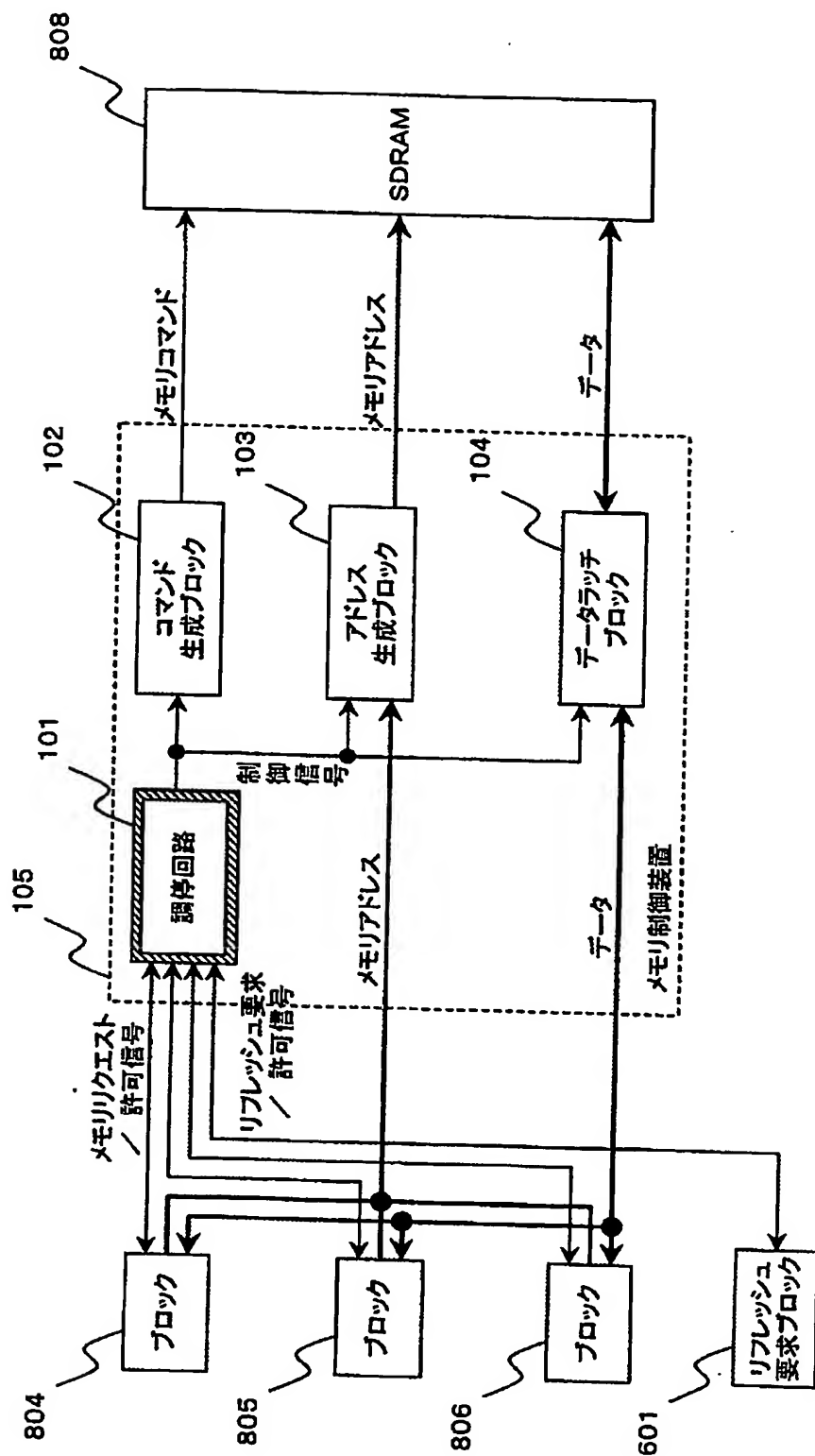
【図4】



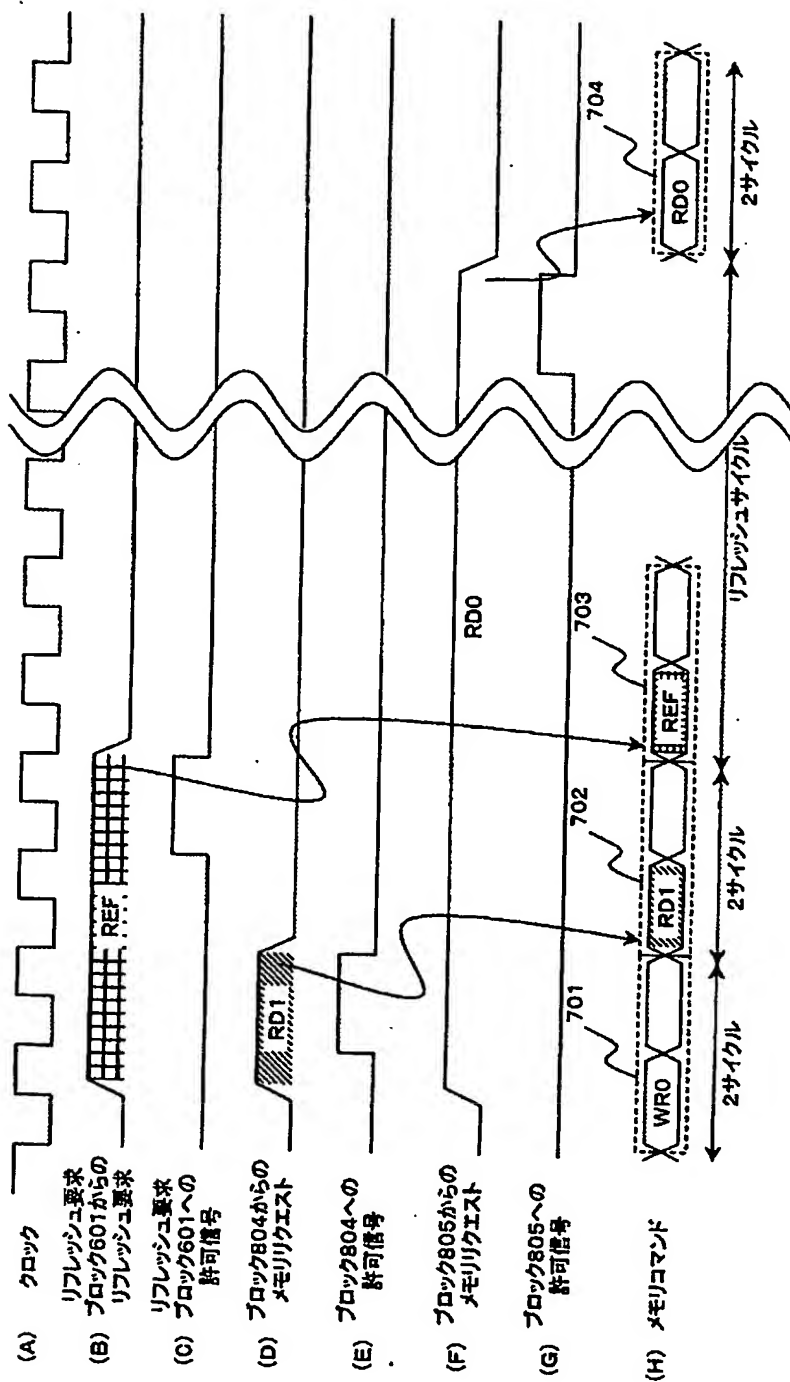
【図 5】



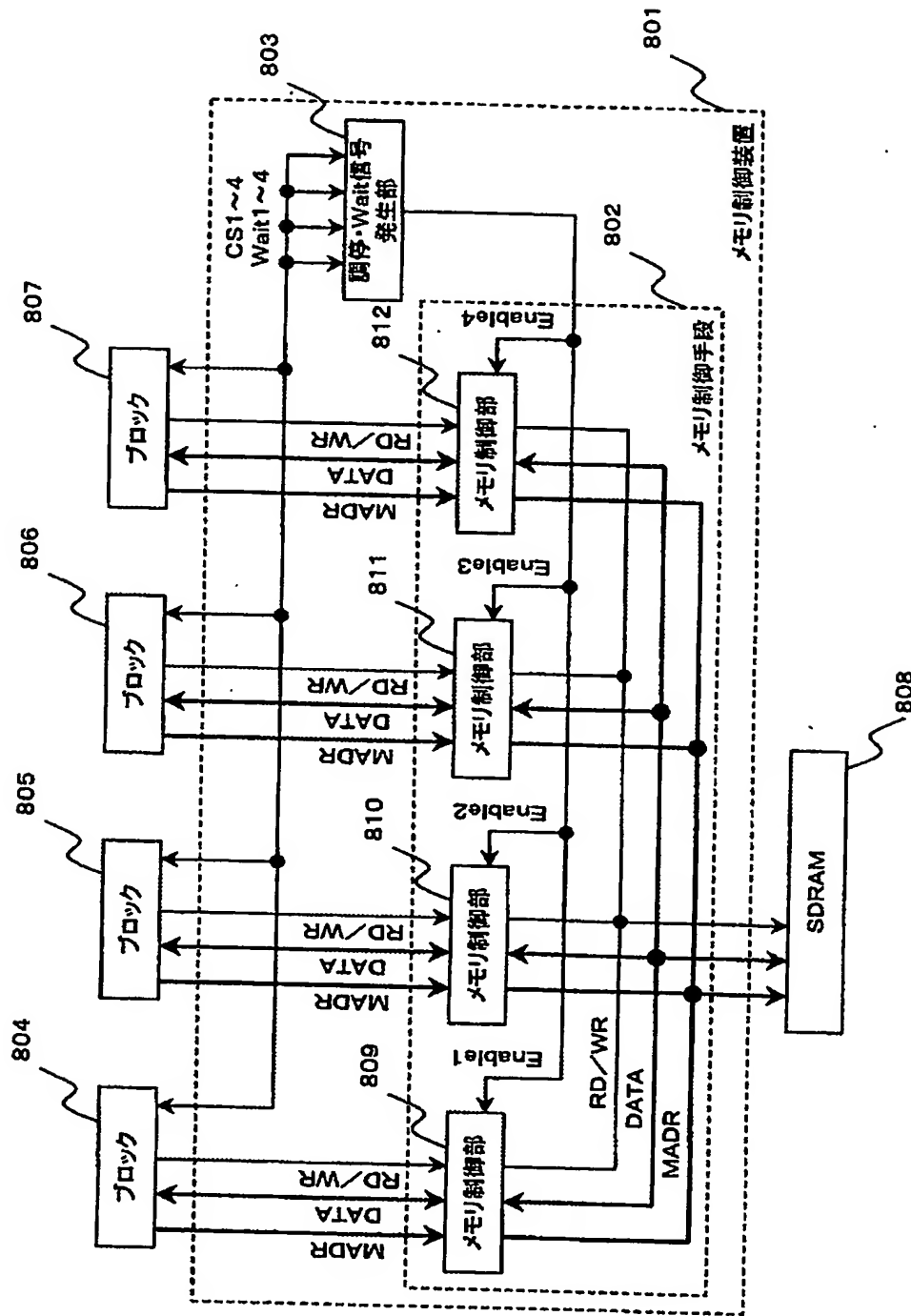
【図 6】



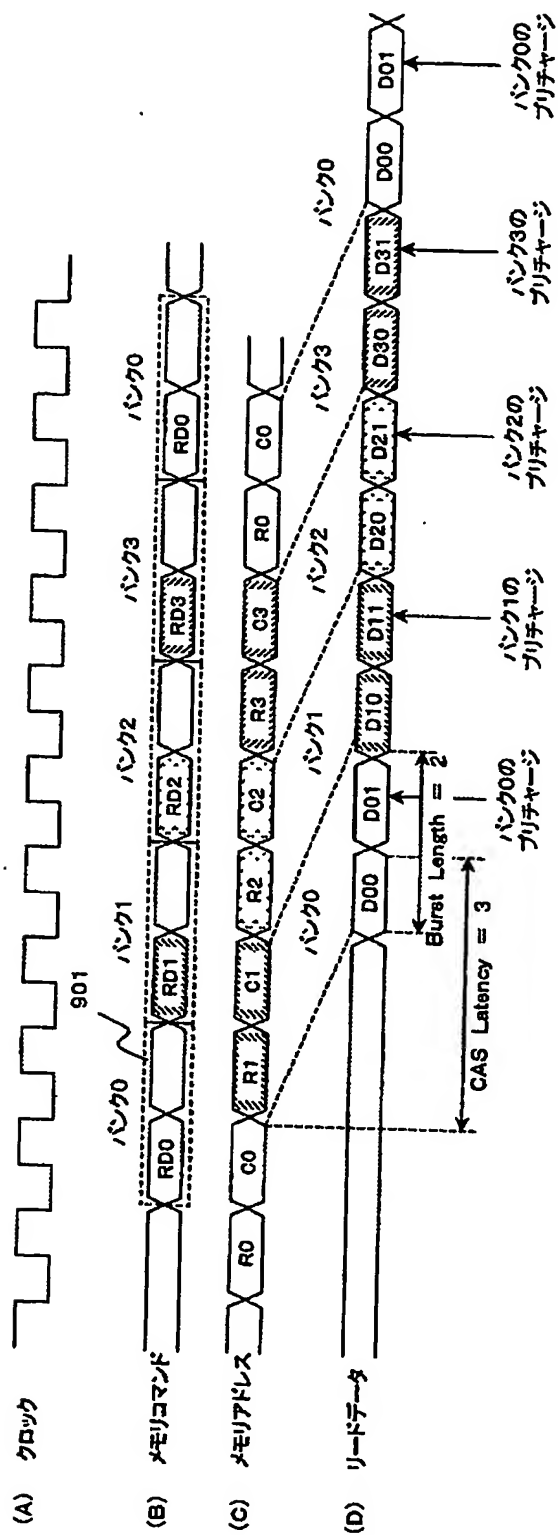
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 SDRAMの同一のバンクに連続してアクセスすることを防止し処理時間を向上させたメモリ制御装置を提供することを目的とする。

【解決手段】 本発明のメモリ制御装置105は、複数のバンクを有しバンク分割モードにより連続してアクセスすることが可能なメモリを制御するメモリ制御装置であって、メモリ制御装置105を介してSDRAM808にアクセスするブロック804, 805, 806からのメモリアクセス要求を前記SDRAM808の異なるバンクに連続してアクセスするよう、前記複数のブロックの優先順位を制御するよう構成したものである。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 8 2 1]

1. 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社